بسم الله الرحمن الرحیم

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

موسسه آموزش عالی بعثت
دانشکده فنی مهندسی

پایان نامه تحصیلی برای دریافت درجه کارشناسی ارشد
رشته برق گرایش الکترونیک

طراحی یک مبدل آنالوگ به دیجیتال در حوزه زمان با ولتاژ پایین و مصرف توان کم با روش فولدینگ

مولف:
حجت نظریه

استاد راهنما:
دکتر فهیمه یزدان پناه

شهریور ۱۳۹۷

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

موسسه اموزش عالی بعثت

بخش برق - الکترونیک

این پایان نامه با عنوان طراحی یک مبدل انالوگ به دیجیتال در حوزه زمان با ولتاژ پایین و مصرف توان کم با روش فولدینگ توسط اقای حجت نظریه دانشجوی رشته برق گرایش الکترونیک (مدارهای مجتمع) با شماره دانشجویی ۹۵۱۵۴۲۰۵۷ تدوین شده است و در تاریخ ۱۳۹۷/۰۶/۳۱ با در جه خوب و نمره ۱۶ مورد پذیرش هیئت محترم داوران قرار گرفت.

این پایان‌نامه هیچگونه مدرکی به عنوان فراغت از تحصیل دوره کارشناسی ارشد شناخته نمی‌شود.

سمت	نام و نام خانوادگی	مرتبه علمی	نام محل خدمت	امضاء
استاد راهنما	فهیمه یزدان پناه	استادیار	دانشگاه ولیعصر (عج) رفسنجان	
داور اول	احمد حکیمی	دانشیار	دانشگاه شهید باهنر کرمان	
داور دوم	محمد علائی	استادیار	دانشگاه ولیعصر (عج) رفسنجان	

نماینده تحصیلات تکمیلی:

نام و نام خانوادگی

امضاء

معاون آموزشی و پژوهشی موسسه:

نام و نام خانوادگی

امضاء

حق چاپ محفوظ و مخصوص به موسسه آموزش عالی بعثت کرمان است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

به نام خدا

منشور اخلاق پژوهش

با استعانت از خدای سبحان و با اعتقاد راسخ به اینکه عالم محضر خداست و او همواره ناظر بر اعمال ماست و به منظور انجام شایسته‌ی پژوهش‌های اصیل، تولید دانش جدید و بهسازی زندگانی بشر، ما دانشجویان و اعضای هیات علمی دانشگاه‌ها و پژوهشگاه‌های کشور:

- ☐ تمام تلاش خود را برای کشف حقیقت و فقط حقیقت به کار خواهیم بست و از هرگونه جعل و تحریف در فعالیت‌های علمی پرهیز می‌کنیم.
- ☐ حقوق پژوهشگران، پژوهیدگان (انسان، حیوان، گیاه و اشیاء)، سازمان‌ها و سایر صاحبان حقوق را به رسمیت می‌شناسیم و در حفظ آن می‌کوشیم.
- ☐ به مالکیت مادی و معنوی آثار پژوهشی ارج می‌نهیم، برای انجام پژوهشی اصیل اهتمام ورزیده و از سرقت علمی و ارجاع نامناسب اجتناب می‌کنیم.
- ☐ ضمن پایبندی به انصاف و اجتناب از هرگونه تبعیض و تعصب، در کلیه فعالیت‌های پژوهشی، رهیافتی تعادلانه اتخاذ خواهیم کرد.
- ☐ ضمن امانت‌داری، از منابع و امکانات اقتصادی انسانی و فنی موجود استفاده بهره‌ورانه خواهیم کرد.
- ☐ از انتشار غیراخلاقی نتایج پژوهش نظیر انتشار موازی، همپوشان و چندگانه (تکه‌ای) پرهیز می‌کنیم.
- ☐ اصل محرمانه بودن و رازداری را محور تمام فعالیت‌های پژوهشی خود قرار می‌دهیم.
- ☐ در همه فعالیت‌های پژوهشی به منافع ملی توجه کرده و برای تحقق آن می‌کوشیم.
- ☐ خویش را ملزم به رعایت کلیه هنجارهای علمی رشته خود، قوانین و مقررات، سیاست‌های حرفه‌ای، سازمانی، دولتی و راهبردهای ملی در همه مراحل پژوهش می‌دانیم.
- ☐ رعایت اصول اخلاق در پژوهش را اقدامی فرهنگی می‌دانیم و به منظور بالندگی این فرهنگ، به ترویج و اشاعه‌ی آن در جامعه اهتمام می‌ورزیم.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

تعهدنامه

اینجانب حجت نظریه به شماره دانشجویی۹۵۱۵۴۲۰۵۷ دانشجوی مقطع کارشناسی ارشد رشته برق (مدارهای مجتمع) الکترونیک دانشکده فنی مهندسی موسسه آموزش عالی بعثت کرمان نویسنده پایان نامه با عنوان طراحی یک مبدل انالوگ به دیجیتال در حوزه زمان با ولتاژ پایین و مصرف توان کم با روش فولدینگ تحت راهنمایی دکتر فهیمه یزدان پناه تأیید می-کنم که این پایان‌نامه نتیجه پژوهش اینجانب می باشد و در عین حال که موضوع آن تکراری نیست، در صورت استفاده از منابع دیگران، نشانی دقیق و مشخصات کامل آن درج شده است. همچنین موارد زیر را نیز تعهد می‌کنم:

۱- برای انتشار تمام یا قسمتی از داده‌ها یا دستاوردهای پایان‌نامه خود در مجامع و رسانه‌های علمی اعم از همایش‌ها و مجلات داخلی و خارجی به صورت مقاله، کتاب، ثبت اختراع و .... به صورت مکتوب یا غیرمکتوب، با کسب مجوز از موسسه آموزش عالی بعثت کرمان و استاد(ان) راهنما اقدام نمایم.

۲- از درج اسامی افراد خارج از کمیته پایان‌نامه در جمع نویسندگان مقاله‌های مستخرج از پایان‌نامه، بدون مجوز استاد(ان) راهنما اجتناب نمایم و اسامی افراد کمیته پایان نامه را در جمع نویسندگان مقاله درج نمایم.

۳- از درج نشانی یا وابستگی کاری (affiliation) نویسندگان سازمان‌های دیگر (غیر از موسسه آموزش عالی بعثت کرمان) در مقاله‌های مستخرج از پایان‌نامه بدون تأیید استاد(دان) راهنما اجتناب نمایم[1].

۴- کلیه ضوابط و اصول اخلاقی مربوط به استفاده از موجودات زنده یا بافتهای آنها را برای انجام پایان نامه رعایت نمایم.

۵- در صورت اثبات تخلف (در هر زمان) مدرک تحصیلی صادر شده توسط دانشگاه شهید باهنر کرمان از درجه اعتبار ساقط و اینجانب هیچ‌گونه ادعایی نخواهم داشت.

کلیه حقوق مادی و معنوی این اثر (مقالات مستخرج، برنامه های رایانه ای، نرم افزارها و تجهیزات ساخته شده) مطابق با آیین-نامه مالکیت فکری، متعلق به موسسه آموزش عالی بعثت کرمان است و بدون اخذ اجازه کتبی از دانشگاه قابل واگذاری به شخص ثالث نیست. همچنین استفاده از اطلاعات و نتایج این پایان نامه بدون ذکر مرجع مجاز نمی باشد. چنانچه مبادرت به عملی خلاف این تعهدنامه محرز گردد، دانشگاه شهید باهنر کرمان در هر زمان و به هر نحو مقتضی حق هرگونه اقدام قانونی را در استیفای حقوق خود دارد.

نام و نام خانوادگی دانشجو حجت نظریه

امضا و تاریخ: ۱۳۹۷/۰۶/۳۱

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

تقدیم به:

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

تشکر و قدردانی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

چکیده

این پروژه مبتنی بر طراحی یک مبدل آنالوگ به دیجیتال درحوزه زمان با ولتاژ پایین و مصرف توان کم با روش فولدینگ است.که دارای، سرعت نمونه برداری بالا، ولتاژپایین، توان مصرفی کم است. مبدل های آنالوگ به دیجیتال سریع با ولتاژ تغذیه و توان پایین امروزه از عناصر کلیدی سیستمهای پردازشی و مخابراتی به شمار می روند. کاربرد روز افزون دستگاه های الکترونیکی که با باتری کار می کنند، مسئله ولتاژ تغذیه و بخصوص توان مصرفی را از اهمیت ویژه ای برخوردار ساخته است .مبدل های فولدینگ به عنوان مبدل های موازی که می توان گفت نزدیک ترین ساختار به مبدل های فلاش محسوب می - شوند، کارآیی خود را از نظر قابلیت رسیدن به سرعت های بالا و تاخیرکم در قدرت تفکیک های ۸ تا ۱۰ بیت به اثبات رسانده اند. هدف از این پژوهش دستیابی به روش های عملی برای کاهش توان و ولتاژ تغذیه مبدل های فولدینگ با حفظ و حتی بهبود دیگر مشخصات مبدل است .این هدف از طریق ارائه یک ساختار جدید برای طبقه فولدینگ که به افزایش محدوده ورودی قابل استفاده منجر می شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فهرست مطالب

عنوان **صفحه**

فصل اول:..... ۱

مقدمه و کلیات تحقیق ۱

۱- ۱ مقدمه ۲

۱-۲ دو مفهوم مهم در مبدل داده..... ۲

۱-۳ معرفی چند کاربرد از مبدل های داده..... ۳

۱-۴ روش های متداول تبدیل سیگنال انالوگ به دیجیتال..... ۳

۱-۴-۱ مبدل اسیلاتور تک مسیره ۴

۱-۴-۲ مبدل اسیلاتور چند مسیره ۶

۱-۴-۳ مبدل فلاش ۶

۱-۴-۴ مبدل فولدینگ ۷

۱-۴-۵ مبدل پایپ لاین ۹

۱-۴-۶ مبدل دو مرحله ای ۱۰

۱-۵ پارامترهای مبدل زمان ۱۰

۱-۵-۱ رزولوشن زمانی ۱۰

۱-۵-۲ زمان مرده ۱۱

۱-۵-۳ خطی بودن ۱۱

۱-۵-۴ زمان تبدیل ۱۱

۱-۵-۵ رنج دینامیکی ۱۱

۱-۵-۶ توان مصرفی ۱۲

۱-۶ روابط حاکم بر تبدیل سیگنال انالوگ به دیجیتال ۱۲

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۱-۷ معرفی انواع خطا در مبدل داده ۱۲
۱-۷-۱ خطای کوانتیزاسیون ۱۲
۱-۷-۲ خطای بهره ۱۴
۱-۷-۳ خطای افست ۱۴
۱-۷-۴ خطای DNI ۱۴
۱-۷-۵ خطای INL ۱۴
۱-۷-۶ کدهای گمشده ۱۵
۱-۸ تعاریف مهم در مبدل های انالوگ به دیجیتال ۱۵
۱-۸-۱ قدرت تفکیک، محدوده دینامیک و یکنواختی ۱۵
۱-۸- ۲ نسبت سیگنال به نویز و اعواج ۱۶
۱-۸-۳ تعداد بیت موثر ۱۶
۱-۹ مسئله توان ۱۷
۱-۱۰ اهداف طراحی ۱۷
فصل دوم:..... ۲۰
بررسی ساختاری مبدل های آنالوگ به دیجیتال موازی و مبدل های A/D سرعت بالا ... ۲۰
۲-۱ مقدمه ۲۱
۲-۲ تعریف مبدل موازی ۲۱
۲-۳ مدل کلی مبدل موازی ۲۳
۲-۴ مبدل A/D کاملا موازی (Flash) ۲۴
۲-۵ مبدل A/D فلش درون یاب ۲۶
۲-۶ مبدل های ADC دو مرحله ای ۲۷
۲-۷ مبدل های A/D با ساختار جداسازی زمانی ۲۸

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۲-۸ مبدل های A/D فولدینگ ۳۰
۲-۹ ساختارهای متداول ۳۲
۲-۱۰ حساسیت به خطاها ۳۵
۲-۱۱ مقایسه ساختارها ۴۰
فصل سوم: ۴۲
مبدل آنالوگ به دیجیتال فولدینگ با درون یابی ۴۲
۳-۱ مقدمه ۴۳
۳-۲ مفهوم فولدینگ ۴۳
۳-۳ پیاده سازی مشخصه فولدینگ ۴۷
۳-۳-۱پیاده سازی مشخصه فولدینگ ایده آل ۴۷
۳-۳-۲ پیاده سازی مشخصه فولدینگ غیر ایده آل ۵۱
۳-۴ فولدینگ دوبل ۵۴
۳-۵ درون یابی ۵۶
۳-۵-۱ درون یابی ولتاژی ۵۸
۳-۵-۲ درون یابی جریانی ۶۰
۳-۶-۱ روش های موجود برای افزایش محدوده ورودی ۶۴
۳-۶-۲ روش پیشنهادی برای افزایش دامنه ورودی ۶۶
۳-۷ دکودر دیجیتال ۶۷
۳-۷-۱ کد کننده دیجیتال ۶۸
۳-۸ ADC های فولدینگ و درون یاب ۷۰
۳-۹ انتخاب جزئیات ساختار مبدل فولدینگ ۷۱
فصل چهارم: ۷۳

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

طراحی سیستمی و مدل رفتاری مبدل های فولدینگ..... ۷۳

۴-۱ مقدم..... ۷۴

۴-۲ مدل رفتاری مسیر چندی کننده دقیق فولدینگ، ADC ۷۴

۴-۳ مدل رفتاری بلوک ساختاری اصلیADC..... ۷۵

۴-۳-۱ مدل تقویت کننده فولدینگ ۷۶

۴-۳-۲ عوامل غیر ایده آل تقویت کننده فولدینگ..... ۷۷

۴-۳-۳ مدل درونیاب..... ۸۰

۴-۳-۴ مدل مقایسه گر..... ۸۲

۴-۳-۵ مدل رفتاری مقایسه کننده..... ۸۲

۴-۴ مدل رفتاری سیستم مبدل فولدینک یک طبقه ۸۳

۴-۵ شبکه درون یابی ۹۰

۴-۶ شبیه سازی رفتار مبدل فولدینگ همراه با عوامل غیر ایده آل..... ۹۱

۴-۶-۱ اثر ضرب فرکانسی..... ۹۲

۴-۶-۲ انحراف تقویت کننده فولدینگ ۹۴

۴-۷ پیش تقویت کننده ۹۵

۴-۷-۱ تقویت کننده فولدینگ ۹۸

۴-۸ عدم تطابق بهره تقویت کننده فولدر ۱۰۲

۴-۸-۱ خطای بهره درونیاب..... ۱۰۳

۴-۸-۲ انحراف مقایسه گر..... ۱۰۴

۴-۹ مبدل درشت گام..... ۱۰۶

۴-۱۰ شبیه سازی رفتاری و نتایج آن ۱۰۷

۴-۱۰-۱ شبیه سازی رفتار استاتیک ۱۰۷

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۴-۱۰-۲ اندازه گیری خطای استاتیک و شبیه سازی INL و DNL ۱۰۸
۴-۱۱ پیاده سازی سیستمی و مدل سازی رفتاری ۱۰۹
فصل پنجم: ۱۱۱
طراحی مداری ۱۱۱
۵-۱ مدار نمونه برداری ۱۱۲
۵-۱-۱ برسی مدارهای نمونه برداری ۱۱۲
۵-۲-۱ مدار نمونه برداری گسترده ۱۱۴
۵-۲ منابع جریان ثابت ۱۲۱
۵-۳ سوئیچ متعادل کننده خروجی ۱۲۲
۵-۴ مقایسه گر ۱۲۴
۵-۴-۱ بررسی مقایسه گرهای دینامیک ۱۲۵
۵-۵ تحلیل افست دینامیک مقایسه گر ۱۲۶
۵-۷ مدارهای منطقی دیجیتال ۱۳۰
۵-۸ مدارات درایور پالس های ساعت ۱۳۲
۵-۹ برسی بلوکها و راه کارهای ارائه شده ۱۳۴
۵-۹-۱منابع ایجاد اغتشاش ۱۳۴
۵-۹-۲ مدارهای حساس به اغتشاش ۱۳۵
۵-۱۰ نحوه القای اغتشاش و راههای کاهش آن ۱۳۶
۵-۱۱راه کار هایی برای کاهش حساسیت مدار ولتاژهای مرجع ۱۳۶
۵-۱۲راه کارهای کاهش حساسیت مدار ورودی ۱۳۷
۵-۱۳ راه حل ارا ئه شده برای حذف خطای ناشی از عدم تطابق ۱۳۸
۵-۱۴ شبیه سازی های دینامیک مداری ۱۳۹

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل ششم: ۱۴۰

خلاصه و پیشنهادات ۱۴۳

۶-۱ جمع بندی ۱۴۴

۶-۲ بصورت خلاصه روشهای ابداعی که در قسمتهای مختلف ارائه شد هاند، عبارتست از..... ۱۴۴

۶-۳کارهای آینده ۱۴۴

مراجع:..... ۱۴۶

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فهرست جدولها

عنوان **صفحه**

جدول ۱ مشخصات در نظر گرفته شده برای مبدل آنالوگ به دیجیتال ۱۸

جدول ۲ مشخصات در نظر گرفته شده در مقایسه با مبدل های گزارش شده ۱۹

جدول ۲ - ۱ مقایسه مبدل های موازی از نظر پیچیدگی و حساسیت.....۴۱

جدول ۴ - ۱ حداکثر خطای INL و DNL ذاتی در شرایط حدی ۱۱۰

جدول ۵ -۱ منابع خطا و راه های کاهش آنها.....۱۱۳

جدول ۵ - ۲ خلاصه مشخصات مقایسه گر ۱۳۰

جدول ۵ - ۳ نتایج شبیه سازی زمانی..... ۱۴۰

جدول ۵ - ۴ خلاصه کارایی مبدل طراحی شده.....۱۴۰

جدول ۵ – ۵ مشخصات مبدل های ساخته شده در مقایسه با مبدل های فولدینگ گزارش شده.....۱۴۴

جدول ۵-۶ مقایسه طرح با نمونه های مشابه.....۱۴۵

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فهرست شکلها

عنوان **صفحه**

شکل(۱-۱)مقایسه انواع مبدل آنالوگ به دیجیتال از نظر سرعت و دقت ۴

شکل۱-۲ اسیلاتور حلقوی تک مسیره [3] ۵

شکل ۱-۳ اسیلاتور حلقوی چندمسیره [6]..... ۶

شکل ۱-۴ مبدل فلاش ۷

شکل ۱-۴-ب نحوه ی استخراج دو بیت در مبدل فلاش ۷

شکل۱-۵ آ)مبدل فولدینگ ب)مشخصه یک فولدینگ) ضریب فولدینگ برابر (۸ ..... ۸

شکل1 - ۵ – ج) نحوه ی عملکرد مبدل فولدینگ ۸

شکل 1 - 5– د) مدار تا دهنده به کار رفته در مبدل فولدینگ ۹

شکل ۱-۶ مبدل پایپ لاین ۹

شکل ۱- ۷ مبدل دو مرحله ای ۱۰

شکل۱-۸) نمودار خطای کوانتیزاسیون[27] ۱۳

شکل۱-۹) نمایش خطاهای آفست INLو DNL ،[28] ۱۵

شکل ۲ - ۱ آ و ب مشخصه گره خطی اشباع شونده پ یک گره غیرخطی اشباع شونده با مرجعb ۲۲

شکل ۲ - ۲ نمایش یک مبدل موازی..... ۲۲

شکل ۲ - ۳ مدل کلی یک مبدل موازی..... ۲۳

شکل ۲-۴ ساختار انالوگ به دیجیتال فلش ۲۵

شکل ۲-۵ مبدل A/D درونیاب ۴ بیتی ۲۷

شکل ۲-۶ ساختار مبدل های A/D دو مرحله ای ۲۸

شکل ۲-۷ دقت مورد نیاز برای هر بلوک در مبدل های دو مرحله ای ۲۸

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۲-۸ مبدل A/D لوله ای با جدا سازی زمانی دو گاناله ۲۹
شکل ۲-۹ بیشینه SNR قابل دستیابی با عدم تطابق زمانی و عدم تطابق بهره در دو کانال برای مبدل های دو کاناله جدا سازی زمانی ۳۰
شکل۲-۱۰ توپولوژی مبدل A/D فولدینگ ۳۱
شکل ۲ - ۱۱ مبدل فلاش ۳ بیتی ۳۲
شکل ۲ - ۱۲ مبدل ۳ بیتی با ضریب درون یابی ۴ ..... ۳۳
شکل ۲ - ۱۳ مبدل فولدینگ ۳ بیتی ۱) بیت از مبدل ریزگام و ۲ بیت از مبدل درشت گام) ۳۳
شکل ۲ - ۱۴ ساختن سیگنال فولدینگ با ساختار شیب یکسان..... ۳۵
شکل ۲ - ۱۵ مبدل فولدینگ ایده آل ۳۸
شکل ۳ - ۱ آ) بلوک دیاگرام مبدل دو مرحله ای ب) شکل سیگنال باقیمانده ۴۴
شکل آ ۳-۲ بلوگ دیاگرام مبدل A/D دو مرحله ای..... ۴۵
شکل ب ۳-۲ قواعد اولیه مبدل A/D دو مرحله ای ۴۵
شکل ۳-۳ آ بلوک دیاگرام نمونه ۵ بیتی..... ۴۶
شکل ۳-۳ ب تولید بیت های درشت و دقیق ۴۶
شکل ۳ - ۴ بلوک دیاگرام یک مبدل فولدینگ..... ۴۷
شکل ۳ - ۵ آ (مشخصه دندانه اره ای ب(شکل ۳-۵ (مشخصه مثلثی ۴۷
شکل ۳ - ۶ پیاده سازی مشخصه فولدینگ با دیود و ترانزیستور ۴۹
شکل ۳-۷ شماتیک مداری فولدینگ خطی بر اساس دیود ۴۹
شکل(۳-۷ ب)، مشخصه انتقال..... ۴۹
شکل ۳ - ۸ ساختن مشخصه خطی اشباع شونده با سیگنال های جریانی..... ۵۰
شکل ۳ - ۹ یک بلوک فولدینگ عملی با مشخصه غیرایده آل..... ۵۲

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۳-۱۰ الف تقویت کننده فولدینگ بر اساس مشخصه ولتاژ تانژات هیپربولیک ساخته شده توسط زوج تفاضلی ۵۳
شکل ۳-۱۰ ب مشخصه انتقال ۵۳
شکل ۳-۱۱ الف تقویت کننده فولدینگ سیمی در اتصالات داخلی ۵۴
شکل ۳-۱۱ ب مشخصه انتقال ۵۴
شکل ۳-۱۲ مقایسه سیستم فولدینگ تکی و دوبل ۵۵
شکل ۳-۱۳ تولید ۲۳ نقطه گذار از صفر توسط ۸ سیگنال فولدینگ در مبدل ۵ بیتی ۵۶
شکل ۳-۱۴ راههای تولید چندین سیگنال فولدینگ الف فولدینگ تنها . ب فولدینگ و درون یابی ۵۷
شکل ۳-۱۵ اصول روش درون یابی ۵۷
شکل ۳-۱۶ درون یابی ولتاژ ۵۹
شکل ۳ - ۱۷ درون یابی ولتاژی ۵۹
شکل ۳-۱۸ درون یابی جریانی ۶۰
شکل ۳-۱۹ درون یابی جریانی بر اساس تقسیم جریان ۶۰
شکل ۳ - ۲۰ محدودیت محدوده ورودی ۶۳
شکل ۳ - ۲۱ ساختن سیگنال ورودی دیفرانسیل ۶۴
شکل ۳ - ۲۲ پیش تقویت کننده شبه تفاضلی ۶۵
شکل ۳ - ۲۳ ساختار پیشنهادی برای افزایش دامنه ورودی مبدل فولدینگ ۶۶
شکل ۳ - ۲۴ تغییر جهت جریان با استفاده از آ (آیینه جریان ب (کم کردن از جریان ثابت ۶۷
شکل ۳ - ۲۵ آرایش دکودر دیجیتال ۶۸
شکل ۳-۲۶ تبدیل کد گردشی به گری ۶۹
شکل ۳-۲۷ تبدیل کد گری به باینری ۶۹
شکل ۳-۲۸ شماتیک یک مبدل فولدینگ یک طبقه ساده ۵ بیتی ۷۱

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۳ - ۲۹ بلوک دیاگرام مبدل طراحی شده ۷۲
شکل ۴-۱ الف مدل رفتاری مسیر چندی کننده دقیق مبدل فولدینگ یک طبقه بدون در نظر گرفتن عوامل غیر ایده ال ۷۵
شکل ۴-۱ ب مدل رفتاری مسیر چندی کننده دقیق مبدل فولدینگ یک طبقه همراه در نظر گرفتن عوامل غیر ایده ال ۷۵
شکل ۴-۲ الف مدل زوج تفاضلی با استفاده از بردارهای x و y ۷۷
شکل ۴-۲ ب مدل رفتاری تقویت کننده فولدینگ چهارتایی ۷۸
شکل ۴-۳ الف مشخصه انتقال اثر غیر ایده ال انحراف ۷۸
شکل ۴-۳ ب مشخصه انتقال اثر غیر ایده ال بهره غیر خطی ۷۸
شکل ۴-۳ ج مشخصه انتقال اثر غیر ایده ال عدم تطابق بهره ۷۹
شکل ۴-۴ اثر محدودیت پهنای باند بر روی خروجی تقویت کننده فولدینگ ۸۰
شکل ۴-۵ الف شماتیک مداری بلوک درون یاب مقاومتی.....۸۱
شکل ۴-۵ ب مدل رفتاری بلوک درون یاب مقاومتی ۸۱
شکل ۴ - ۶ مدل رفتاری مقایسه کننده ۸۳
شکل ۴ - ۷ مدل رفتاری مبدل فولدینگ ۸۴
شکل ۴-۸ مدل رفتاری مبدل FgI.....۸۵
شکل ۴-۹ الف بلوک داخلی تقویت کننده فولدینگ.....۸۵
شکل ۴-۹ ب دیاگرام داخلی فولدر.....۸۶
شکل ۴-۹ ج بلوک دیاگرام داخلی درون یاب ۸۶
شکل ۴-۹ د دیاگرام داخلی هردرون یاب شکل ۴-۷ ج ۸۷
شکل ۴-۹ ه دیاگرام داخلی رمزکننده دیجیتال.....۸۷
شکل ۴-۹ و دیاگرام داخلی گری به باینری ۸۸

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۴-۹ ز دیاگرام داخلی چندی کننده درشت ۸۸
شکل ۴-۱۰ مدل رفتاری درون یاب در Simulink ۹۰
شکل ۴-۱۱ شبکه درون یاب ۹۱
شکل ۴-۱۲ اثر ضرایب فرکانسی در تقویت کننده فولدینگ ۴ تایی ۹۲
شکل ۴-۱۳ الف چیدمان شبیه سازی اثر محدودیت پهنای باند تقویت کننده بر روی SNDR ۹۳
شکل ۴-۱۳ ب نتیجه شبیه سازی اثر محدودیت پهنای باند تقویت کننده بر روی SNDR..... ۹۳
شکل ۴-۱۴ الف چیدمان شبیه سازی اثر انحراف بر رویSNDR ۹۴
شکل ۴-۱۴ – ب نتیجه شبیه سازی اثر انحراف بروی SNDR..... ۹۵
شکل ۴-۱۵ مدل رفتاری پیش تقویت کننده..... ۹۷
شکل ۴ - ۱۶ آ)پیش تقویت کننده PMOS ب)پیش تقویت کنندهNMOS ۹۸
شکل ۴-۱۷ مدل رفتاری تقویت کننده فولدینگ ۹۹
شکل ۴-۱۸ مدل گره خروجی بلوک های فولدینگ..... ۱۰۰
شکل ۴ - ۱۹ مدار بایاس منابع جریان NMOS وPMOS ۱۰۱
شکل ۴ - ۲۰ تقویت کننده های فولدینگ NMOS وPMOS ۱۰۱
شکل ۴-۲۱ الف چیدمان شبیه سازی اثر عدم تطبیق بهره تقویت کننده فولدینگ بروی SNDR ۱۰۲
شکل ۴-۲۱ ب – نتیجه شبیه سازی اثر عدم تطبیق بهره تقویت کننده فولدینگ بر روی SNDR ۱۰۳
شکل ۴-۲۲ الف چیدمان شبیه سازی اثر عدم تطبیق بهره درون یاب و انحراف مقایسه گر بر روی SNDR
..... ۱۰۴
شکل ۴-۲۲ ب- نتیجه شبیه سازی اثر عدم تطبیق بهره درون یاب و انحراف مقایسه گر بر روی SNDR . ۱۰۵
شکل ۴-۲۳ الف چیدمان شبیه سازی اثر محدودیت پهنای باند تقویت کننده فولدینگ و انحراف مقایسه گر
بر روی SNDR..... ۱۰۵

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۴-۲۳- ب- نتیجه شبیه سازی اثر محدودیت پهنای باند تقویت کننده فولدینگ و انحراف مقایسه گر بر روی SNDR ۱۰۶
شکل ۴ - ۲۴ مدل مبدل درشت گام ۱۰۷
شکل۴-۲۵ اندازه گیری DNL ۱۰۸
شکل۴-۲۶ اندازه گیری INL ۱۰۸
شکل۴-۲۷ شبیه سازی DNL ۱۰۸
شکل۴-۲۷ شبیه سازی INL ۱۰۹
شکل ۵ - ۱ مدار نمونه برداری گسترده ۱۱۴
شکل ۵ - ۲ اصول روش بوت استراپ و شکل موج نقاط مختلف ۱۱۶
شکل ۵ - ۳ مدار بوت استراپ بکار رفته ۱۱۶
شکل ۵ - ۴ اتصال سوئیچ مجازی به خروجی ۱۱۸
شکل ۵ - ۵ روشن کردن سوئیچ مجازی با مدار بوت استراپ قرینه مدار بوت استراپ اصلی ۱۱۹
شکل ۵ - ۶ راه حل پیشنهادی برای تامین فرمان مناسب سوئیچ مجازی ۱۲۰
شکل ۵ - ۷ مدار کامل نمونه برداری ۱۲۰
شکل ۵ - ۸ مدار معکوس کننده جریان منتجهٔ سلول های PMOS و ایزوله کننده دو گرهٔ جمع کننده .. ۱۲۲
شکل ۵ - ۹ ورودی پالس تمام دامنه ۱۲۳
شکل ۵ - ۱۰ مدار ساده شده ورودی مبدل ۱۲۳
شکل ۵ - ۱۱ مقایسه گر دینامیک ۱۲۵
شکل ۵ - ۱۲ مقایسه گر تغییر یافته ۱۲۶
شکل ۵ - ۱۳ تغییرات ولتاژ افست دینامیک برحسب میزان عدم تطابق خاز نها ۱۲۷
شکل ۵ - ۱۴ افست دینامیک ورودی برحسب ولتاژ Vb برای اختلاف خازن 1 درصد بین گره های X و Y ۱۲۸

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۵ - ۱۵ مقایسه گر با افست دینامیک نزدیک به صفر ۱۲۸
شکل ۵ - ۱۶ مقایسه گر با افست دینامیک کم ۱۲۹
شکل ۵ - ۱۷ هیستوگرام ولتاژ افست ورودی ۱۳۰
شکل ۵ - ۱۸ گیت های دیجیتال آ OR) AND) بXOR) ۱۳۱
شکل ۵ - ۱۹ حافظه های خروجی ۱۳۲
شکل ۵ - ۲۰ ساختن پال سهای بدون همپوشانی برای نمونه برداری ۱۳۲
شکل ۵ - ۲۱ ساختن پال سهایی با نسبت زمان فعال متغیر ۱۳۳
شکل ۵ - ۲۲ تاخیر کلاک های چهارگانه نسبت به یکدیگر ۱۳۳
شکل ۵ - ۲۳ کاهش اغتشاش ناشی از سوئیچینگ روی مدار ورودی و ولتاژهای مرجع ۱۳۷
شکل ۵ -۲۴ N-bit Trimmable MOSFET ۱۳۸
شکل ۵ - ۲۵ مبدل دیجیتال به افست ۱۳۹
شکل ۵ - ۲۶ خروجی بلوک فولدینگ به ورودی مشابه شکل ۵ – ۹ ..... ۱۴۰

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل اول:
مقدمه و کلیات تحقیق

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۱- ۱ مقدمه

مبدل های آنالوگ به دیجیتال امروزه به عنوان پل ارتباطی دنیای واقعی کمیت های آنالوگ و دنیای پردازش دیجیتال نقش کلیدی در بسیاری از سیستم های الکترونیکی، مخابراتی و کنترلی را ایفا می کنند . بالا رفتن روزافزون سرعت و دقت پردازشگرهای دیجیتال از یک طرف و روند رو به رشد سیستمهای قابل حمل که عمدتاً با باتری کار می کنند و نیاز آنها به اجزاء کم مصرف از طرف دیگر، طراحی مبدل های سریع و بخصوص کم مصرف را به عنوان یکی از موضوعات پرخواستار برای پژوهش در زمینه مدارهای مجتمع درآورده است دیده می شود، مبدل های داده از نظر سهم بازار پس از رگولاتورها و مراجع ولتاژ در مرتبه دوم قرار دارند و پیش بینی شده است در سال های 2005 تا 2007 بین 4500 تا بیش از 6000 میلیون دلار فروش داشته باشند. . تکنیک های بسیاری برای طراحی مبدل های آنالوگ به دیجیتال و جود دارند که هر کدام از این تکنیک ها دارای امتیازات ومحدودیت هایی هستند . در اینجا به معرفی برخی از این تکنیک ها در طراحی مدارات مبدل آنالوگ به دیجیتال پرداخته شده است . هر کدام از این تکنیک ها ملزومات مداری مربوط به خود را دارد . در بعضی از این تکنیک ها دقت بیشتر مورد نظر بوده و در بعضی دیگر سرعت و در بعضی مواقع هزینه و قیمت بیشترین نقش را دارد . ذکر این نکته ضروری است که قبل از طراحی یک مبدل آنالوگ به دیجیتال باید دانشی کلی در باب انواع تکنیک های موجود داشت ، تا با توجه به مزایا و محدودیت های این تکنیک ها و همینطور خصوصیات مبدل آنالوگ به دیجیتال ، روشی برگزیده شود که بالاترین بازدهی را داشته باشد . همچنین برای رسیدن به بالاترین کارایی می توان از ترکیب این روش ها نیز استفاده کرد .

۱-۲ دو مفهوم مهم در مبدل داده

سرعت و دقت دو پارامتر مهم در هر مبدل داده هستند طوری که از مشخصات اصلی مبدل های داده به حساب می آیند و بر روی مبدل های موجود در بازار نیز این دو مشخصه قید شده است .به عنوان مثال یک مبدل داده ی ۱۰بیت با سرعت نمونه برداری (۱۰۰ks/se)، بدین معناست که در هر ثانیه صد هزار نمونه بر میدارد و مقادیر دیجیتال برای کوانتیده نمودن سیگنال ورودی دقت ۲۱۱ را دارد هرچه دقت و سرعت یک مبدل بیشتر باشد بهتر است، اما توجه به این نکته ضروری است که برای یک کاربرد خاص دقت و سرعت مشخصی لازم است و استفاده از یک مبدل با مشخصات بالاتر از نیاز، توان مصرفی مدار که خود از دیگر

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

پارامترهای مهم برای یک مبدل داده است را افزایش می دهد و ممکن است توان زیادی از مدار را هدر دهد . عموما سعی ما بر این است که با افزایش سرعت، دقت را کاهش دهیم و یا بر عکس زیرا افزایش هر دو پارامتر توان مصرفی مدار را زیاد می کند . یعنی مصالحه ای بین دقت و سرعت در تمام مبدل های داده وجود دارد.

۱-۳ معرفی چند کاربرد از مبدل های داده

۱- مخابرات با سیم

کاربرد مبدل داده در این موارد دارای سرعت های پایین ومتوسط (ks/sec ۲۰۰-۴۰۰) ودقت متوسط و بالا است.

۲- ویدئو صدا

مبدل داده های استفاده شده در این کاربرد دارای سرعت پایین(ks/sec ۱۹۰) ودارای قابلیت تفکیک بالا هستند.

۳- سنسورها

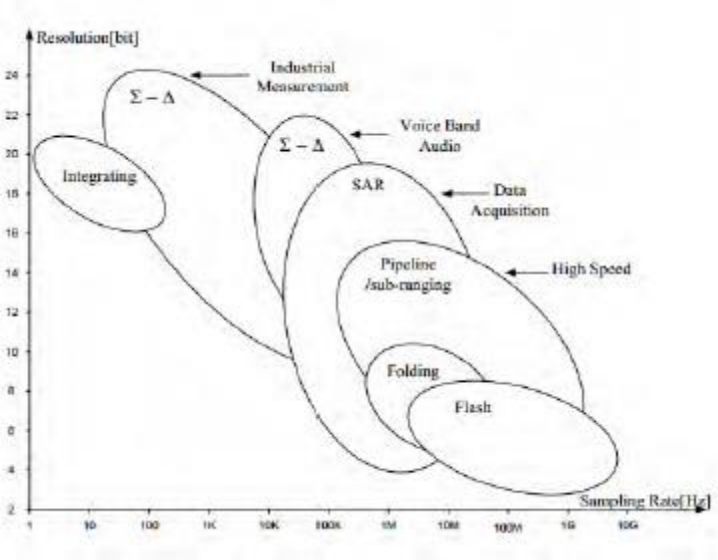
مبدل های دادهای که در سنسورهای مختلف دمایی، فشار، موقعیت یاب، شتاب سنج و....به کار می روند عموما دارای سرعت های پایین(۱۰۰ks/sec) ، و قابلیت تفکیک متوسط هستند.

۱-٤ روش های متداول تبدیل سیگنال انالوگ به دیجیتال

کاربرد وسیع مبدل های داده در انواع مدارات تنوع زیادی را در طراحی این مدار از حیث قابلیت تفکیک، سرعت نمونه برداری و توان مصرفی می طلبد .بسته به کاربرد خاص ممکن است چالش اساسی برای طراحی مبدل مورد نیاز قابلیت تفکیک بالا، سرعت نمونه برداری زیاد، توان مصرفی پایین و یا تلفیقی از پارامترهای فو باشد .این قسمت به معرفی کلی انواع مبدل داده از حیث سرعت و دقت و مقایسه انواع مبدل داده میپردازیم و در قسمت بعدی تکتک سه مقایس های کلی بین انواع مبدل داده از حیث مبدل های داده را به صورت اجمالی بررسی خواهیم نمود .شکل (۱-۱) ، سرعت و دقت را نشان میدهد . همانطور که قبلا ذکر شد مصالحه ای بین سرعت و دقت یک مبدل داده وجود دارد دیده می شود . طوری که با افزایش هر یک از این پارامترها دیگری کاهش خواهد یافت. همان طور که در شکل (۱-۱)، و Delts Sigma مبدل فلش بالاترین سرعت را دارد که از دقت کمی برخوردار است . و در طرف مقابل دو مبدل دارای سرعت پایین و

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

دقت بالا می باشند .همانطور که در این نمودار نیز دیده می شود مبدل تقریب Integrating متوالی یک مبدل با سرعت تقریبا پایین که البته با استفاده از روش های جدید قابلیت رسیدن به سرعت های بالا را دارد و با دقت خوب به حساب میآید .دلیل استفاده ی بسیار زیاد از این نوع مبدل در سال های اخیر سازگاری این نوع مبدل با پیشرفت تکنولوژی و عدم استفاده از آمپ امپ میباشد که این امر باعث کاهش توان مصرفی مدار شده است. عوامل ذکر شده استفاده از این نوع مبدل را در کاربردهای با سرعت پایین، توان مصرفی کم و دقت متوسط و به کارگیری روش های طراحی مانند (CMOS) ، رایج ساخته است .در سال های اخیر با کاهش سایز ترانزیستورهای کاربرد مبدل تقریب متوالی در کاربردهای با فرکانس Time Interleaved ADCs موازی سازی چند مبدل داده رسیده است . نحوه ی عملکرد این مدار به همراه تمام زیر GS/Sec و یا حتی MS/Sec نمونه برداری چند۱۰ ساختارهای آن در فصل بعدی مورد مطالعه قرار خواهد گرفت.



شکل(۱-۱)مقایسه انواع مبدل آنالوگ به دیجیتال از نظر سرعت و دقت[1]

۱-٤-۱ مبدل اسیلاتور تک مسیره

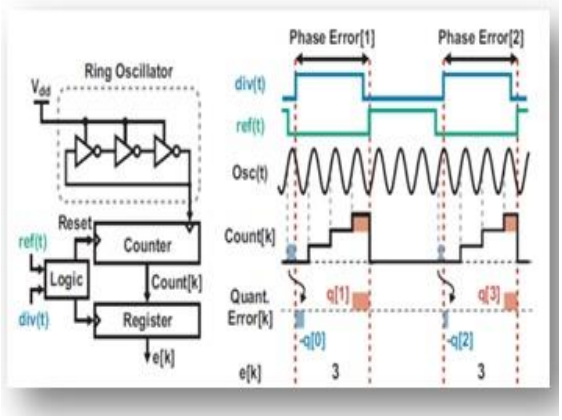
در این روش مطابق شکل (۱-۲)، از یک اسیلاتور حلقوی کنترل شونده برای اندازه گیری فاصله زمانی بین لبه‌های دو سیگنال استفاده می‌شود. عملکرد مدار بدین صورت است که با آمدن لبه بالارونده سیگنال ref، شمارنده شروع به شمارش خروجی اسیلاتور حلقوی می‌کند و زمانی که لبه بالارونده سیگنال div وارد بلوک منطقی شد، شمارنده شمارش خود را متوقف می‌کند و مقدار خود را به ثبات می‌فرستد. نهایتاً جمله

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

دیجیتالی در خروجی ظاهر می‌گردد [2]. از آنجایی که زمان شروع شمارش سیگنال اسیلاتور حلقوی با سیگنال ref سنکرون نیست و همچنین در انتهای شمارش، رخداد سیگنال توقف دقیقاً در محل صفر شدن سیگنال اسیلاتور رخ نمی‌دهد. لذا شمارش در ابتدا و انتهای هر اندازه گیری مطابق شکل(۱-۲)، با خطاهایی همراه است. درTDC ها این خطا را خطای کوانتیزاسیون می‌نامند که باعث پایین آمدن دقت اندازه گیری می‌گردد. مقدار خطای کوانتیزاسیون در شمارش lk م با رابطه (۱)، بیان می‌گردد [2]. همان طوری که بیان شد خطای کوانتیزاسیون به دلیل اندازه گیری ناقص پریودهای اول و آخر رخ می‌دهد. لذا هر چه دوره نوسان اسیلاتور کم باشد مقدار این خطا نیز کمتر می‌شود. بنابراین در طراحی تا حدی که می‌توانیم مقدار دوره نوسان اسیلاتور را پایین می‌آوریم. دوره نوسان اسیلاتور حلقوی طبق رابطه (۲)، که در آن (T، N و Tq)، به ترتیب بیانگر دوره تناوب سیگنال خروجی اسیلاتور حلقوی، تعداد گیت‌ها و تأخیر هر گیت هستند، تعیین می‌گردد. لذا برای کاهش دوره نوسان اسیلاتور حلقوی بایستی تأخیر گیت‌ها را کاهش داد. نتایج شبیه سازی در این کار نشان دادند که حداقل تأخیر به دست آمده در تکنولوژی(۱۳ nm-TSMC)، برای یک گیت اینورتر تقریباً برابر(PS ۲۵) ، و کوچک‌ترین دوره تناوب اسیلاتور حلقوی تشکیل شده از سه گیت اینورتر هم تقریباً برابر (PS ۱۵۰) ، است.

$$T_{error} = T_{stop}[k] - T_{start}[k] \quad (1)$$

$$T_{error} = 2.N.T_q \quad (۲)$$

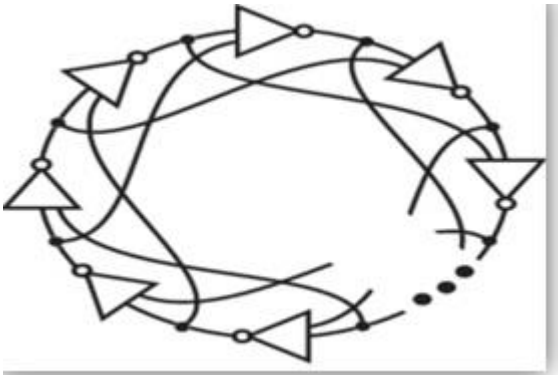


شکل ۱-۲ اسیلاتور حلقوی تک مسیره [3]

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۱-٤-۲ مبدل اسیلاتور چند مسیره

در روش تک مسیره ورودی هر طبقه تنها به خروجی طبقه قبلی آن متصل است؛ بنابراین تأخیر از یک حدی کمتر نمی‌شود. اما در روش چندمسیره مطابق شکل(۱-۳)، ورودی هر طبقه به ترکیبی از خروجی طبقات قبلی بستگی دارد. این سبب می‌شود تا هر طبقه از چندین نقطه کنترل گردد؛ و از اطلاعات آنها برای تصمیم گیری در زمان شروع تغییر وضعیت خود استفاده کند، لذا سریع‌تر تغییر وضعیت خود را شروع می‌کند. در کل به نظر می‌رسد که تأخیر عبوری کاهش یافته است. در نتیجه مقدار دوره نوسان اسیلاتور نیز کاهش می‌یابد. کاهش دوره نوسان نیز باعث کاهش خطای کوانتیزاسیون می‌گردد [4,5].



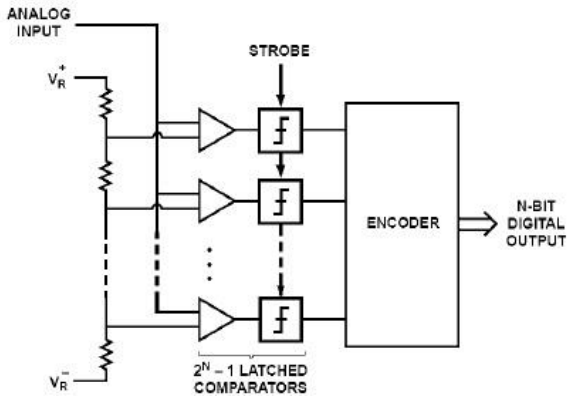
شکل ۱-۳ اسیلاتور حلقوی چندمسیره [6]

۱-٤-۳ مبدل فلاش

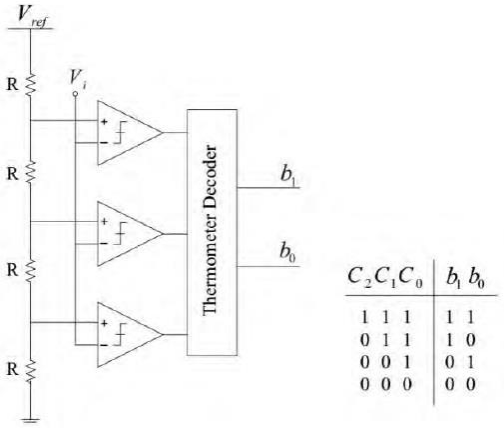
در ساده ترین حالت، ورودی آنالوگ به (2N-1)، مقایسه گر اعمال می شود. ولتاژ مرجع مقایسه گرها مضربی از ولتاژ معادل کم ارزش ترین بیت دو است . خروجی مقایسه گرها توسط یک مدار منطقی مناسب به کد باینری تبدیل می گردد. مشکل اصلی در ساختار مبدل فلش افزایش نمایی تعداد مقایسه گر نیاز است که توان مصرفی را به شدت افزایش میدهد. شکل (۱-۴- ب)، نحوه ی استخراج دو بیت در مبدل فلاش را توضیح میدهد . از آنجا که تعداد مقایسه گرها و در نتیجه توان مصرفی و سطح تراشه به طور نمایی با درجه تفکیک سه افزایش می یابد، این نوع(A/D)؛ برای رزولوشن های کم (شش بیت و کمتر) ، و سرعت های بسیار بالا مناسب است [10][9][8][7] . در برخی موارد جهت کاهش تاثیر افست مقایسه گرها، در ورودی آنها تقویت کننده های تفاضلی با بهره کم و سرعت بالا قرار داده می شود. شکل(۱-۴)، [12][11] . برای کاهش تعداد این تقویت کننده ها می توان از درون یابی استفاده نمود. [15] 14] [13] [16] . در این نوع مبدل همه بیت های خروجی در یک لحظه به دست میآیند. یکی دیگر از مشکلات این

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

نوع مبدل خروجی دماسنجی آن است که برای تبدیل ان به بیت های دیجیتال مدار منطقی پیچیده ای لازم است.



شکل ۱-٤ مبدل فلاش



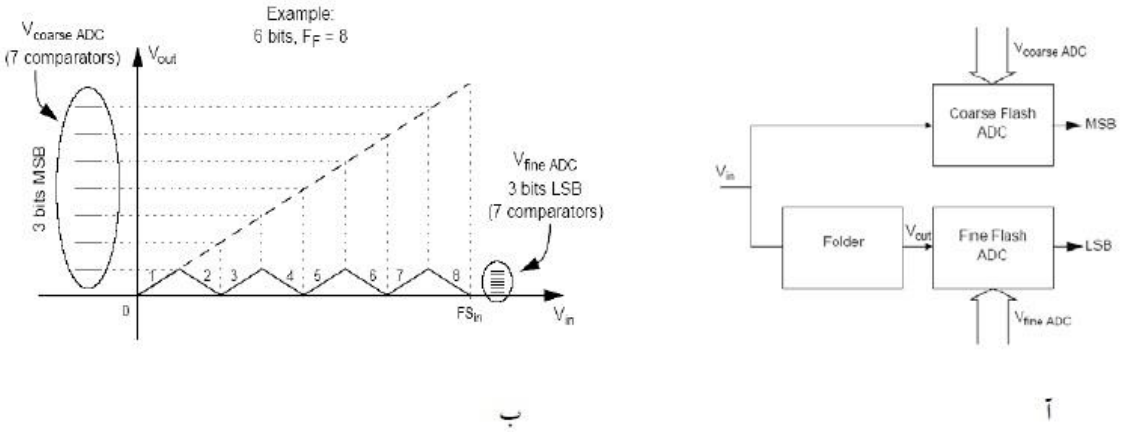
شکل ۱-٤-ب نحوه ی استخراج دو بیت در مبدل فلاش

۱-٤-٤ مبدل فولدینگ

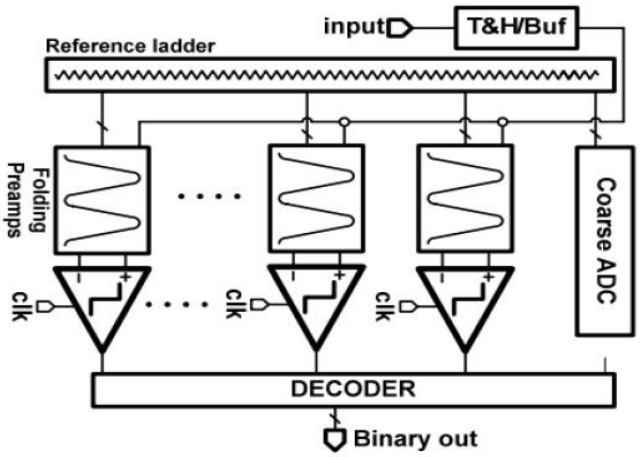
در این نوع مبدل، یک نگاشت غیر خطی از ورودی مدار به ورودی مقایسه گرها انجام می شود شکل(۱-۵)، مداری که این عمل را انجام می دهد فولدر خوانده می شود. [17]. هدف آن است که هرمقایسه گر اطلاعات بیشتری درباره سیگنال ورودی فراهم نماید و در نتیجه تعداد کل مقایسه گرها نسبت به مبدل فلاش کاهش یابد .هرچند که به سبب تاخیر ناشی از فولدرها سرعت نمونه برداری این نوع مبدل از فلاش کمتر

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

است. شکل (۱- ۵ - ج)، طریقه ی عملکرد مبدل فولدینگ و نحوه ی استخراج شش بیت را نمایش میدهد، به این ترتیب که سه بیت پر ارزش در مرحله ی اول استخراج شده و سپس سه بیت کم ارزش به دست می‌آیند .مداری که عمل فولدینگ تا دادن را انجام می دهد در شکل(۱- ۵ - د)، نشان داده شده است.

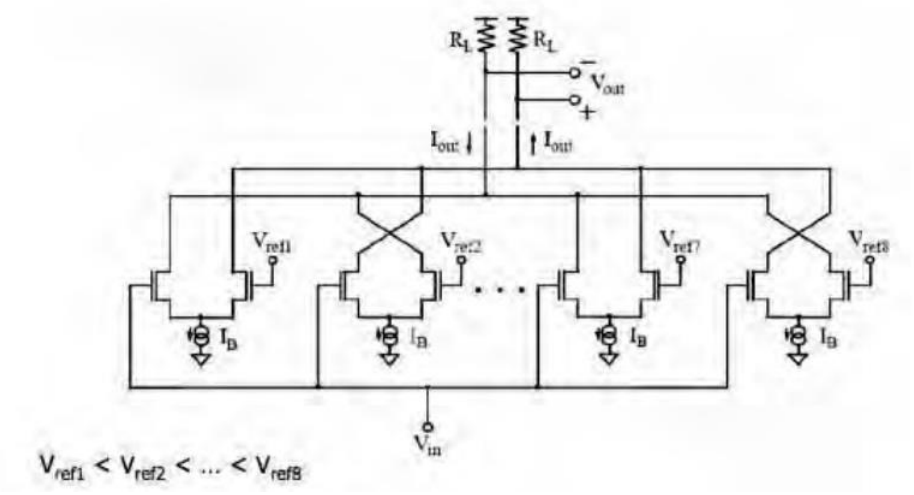


شکل۱-۵ آ)مبدل فولدینگ ب)مشخصه یک فولدینگ) ضریب فولدینگ برابر (۸



شکل1 - ۵ – ج) نحوه ی عملکرد مبدل فولدینگ

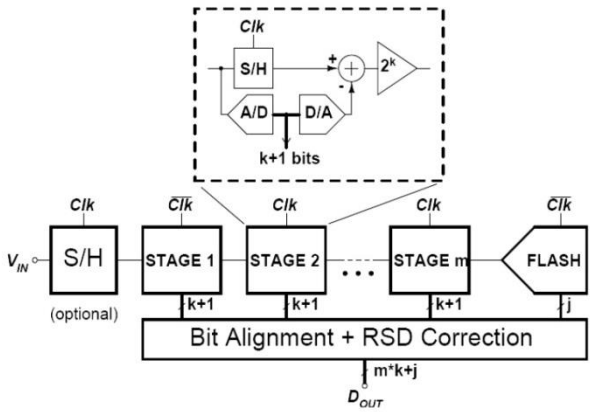
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۱-۵ – د) مدار تا دهنده به کار رفته در مبدل فولدینگ

۱-٤-۵ مبدل پایپ لاین

ایده اصلی این مبدل افزایش سرعت به بهای افزایش تاخیر مبدل است .همانگونه که در شکل(۱-۶) نشان داده شده است، m طبقه به طور همزمان در حال پردازش m نمونه متوالی از سیگنال ورودی هستند . در هر طبقه، ورودی توسط یک مبدل با درجه تفکیک کم کوانتیزه می گردد و سپس اختلاف مقدار معادل کد دیجیتال به دست آمده و ورودی محاسبه گشته، پس از تقویت به طبقه بعد می رود. بدین شکل محدوده ورودی تمام طبقات مشابه خواهد بود [21][20][19][18] .

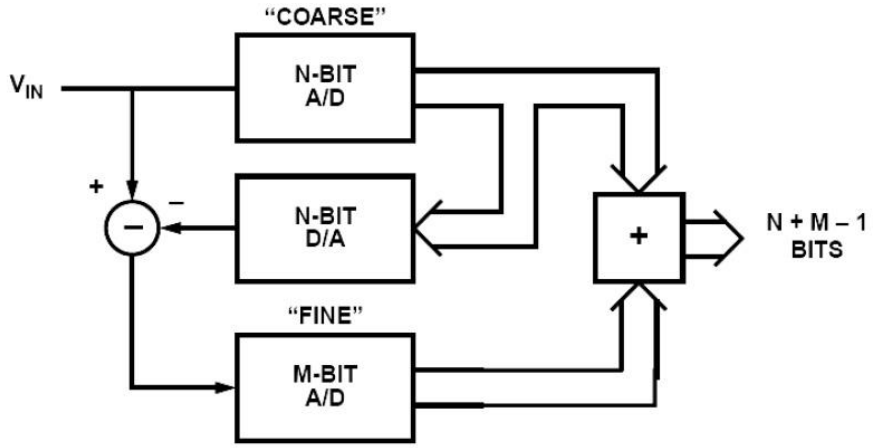


شکل ۱-٦ مبدل پایپ لاین

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۱-٤-٦ مبدل دو مرحله ای

برای غلبه بر مشکل تعداد زیاد مقایسه گرها در مبدل فلاش، ساختارهای دو مرحله ای پیشنهاد گردیدند .در اینجا دو مبدل فلاش بکار گرفته می شود شکل (۱-۷)، برای داشتن سرعت بالا امکان پایپ لاین کردن نیز وجود دارد . [23][22] . همچنین به کمک همپوشانی محدوده دو(A/D) ، می توان دقت مدار را بهبود بخشید.[25][24].



شکل ۱- ۷ مبدل دو مرحله ای

۱-۵ پارامترهای مبدل زمان

۱- رزولوشن زمانی

۲ - تعداد بیت‌ها

۳- زمان مرده

۴- خطی بودن

۵ - زمان تبدیل

۶- رنج دینامیکی

۱-۵-۱ رزولوشن زمانی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

رزولوشن یا دقت یک مبدل برابر است با کوچک‌ترین میزان تغییر در ورودی که باعث یک سطح تغییر در کد خروجی می‌شود.که برای یک TDC معمولی معادل یکی از سلول‌های خط تاخیر است. هر چه رزولوشن یا دقت، افزایش پیدا کند شکل خروجی به شکل ورودی نزدیک‌تر است [26] .

۱-۵-۲ زمان مرده

حداقل زمانی‌که یک مبدل زمان به دیجیتال می‌تواند اندازه‌گیری کند زمان مرده یک مبدل محسوب می شود. اگر زمان یک مبدل ۴۰ پیکوثانیه باشد، این به این معنی‌است که حداقل عرض پالس ورودی این مبدل ۴۰ پیکوثانیه می‌باشد.

۱-۵-۳ خطی بودن

هر چه تاخیر المان‌های خط تاخیر بهم نزدیک‌تر باشند، مبدل خطی‌تر کار می‌کند. خطی بودن یک مبدل، یک پارامتر بسیار مهم در مبدل های زمان به دیجیتال محسوب می‌شود. پارامترهای مختلفی مانند تغییرات پروسه ساخت می‌تواند در خطی بودن یک مبدل موثر باشد. مثلا در مبدل‌های زمان به دیجیتال مبتنی‌بر خط تاخیر، تفاوت در تاخیر المان‌ها می‌تواند موجب غیرخطی شدن مبدل شود.

۱-۵-٤ زمان تبدیل

به زمان لازم برای تبدیل ورودی به عدد دیجیتال، زمان تبدیل مبدل می‌گویند . هر چه زمان تبدیل یک مبدل کمتر باشد، حداکثر نرخ نمونه برداری مبدل افزایش می‌یابد.

۱-۵-۵ رنج دینامیکی

به بیشترین زمانی‌که یک مبدل زمان به دیجیتال می‌تواند اندازه‌گیری کند، رنج دینامیکی آن مبدل می‌گویند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۱-۵-٦ توان مصرفی

توان مصرفی یکی از پارامترهای طراحی محسوب می‌شود. کاهش توان مصرفی دستگاه علاوه‌بر عمر بیشتر، باعث بالاتر رفتن قابلیت اطمینان مدار به‌دلیل کار در دمای پایین‌تر و همچنین افزایش عمر قطعات خواهد شد.

۱-٦ روابط حاکم بر تبدیل سیگنال انالوگ به دیجیتال

بصورت ایده آل، یک مبدل آنالوگ به دیجیتال سیگنال فرضاً ولتاژ پیوسته ورودی را به رشته ای از کلمات دیجیتال(N) ، بیتی مطابق با رابطهٔ زیر می نگارد.

(3)

$$V_{IN} = V_Q \sum_{k=0}^{N-1} \frac{b_{k+1}}{2^k} + \varepsilon$$

در این رابطه (VFS)، حداکثر ولتاژ ورودی (bk ۱) ، هر یک از بیت های خروجی و سه خطای کوانتیزاسیون است .این رابطه همچنین می تواند بر اساس کم ارزش ترین بیت نوشته شود.

(4)

$$V_Q = \frac{V_{FS}}{2^N} = 1LSB$$

(5)

$$V_{IN} = V_Q \sum_{k=0}^{N-1} b_k 2^k + \varepsilon$$

۱-۷ معرفی انواع خطا در مبدل داده

۱-۷-۱ خطای کوانتیزاسیون

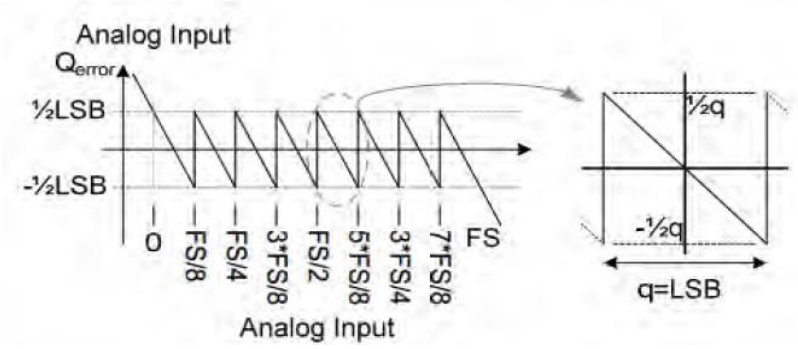
هر کد دیجیتال در برگیرنده محدوده کوچکی از ورودی با عرض یک LSB حول مرکز کد است . تفاوت بین ورودی آنالوگ و معادل آنالوگ نزدیکترین مرکز کد، خطای کوانتیزاسیون نامیده میشود از آنجا که تعداد بیت های مبدل محدود است حتی یک مبدل ایده آل نیز با هر تبدیل مقداری خطای کوانتیزاسیون تولید می کند. این خطا که در واقع ناشی از کوانتیده شدن سیگنال است در شکل(۱-۸)، نشان داده شده

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

است .نسبت سیگنال به نویز ناشی ازکوانتیزاسیون مستقیما قابل محاسبه است . محدوده خطا برابر کوانتم سطح ولتاژ یا همان LSBا است. با فرض این که پراکندگی خطای کوانتیزاسیون به صورت یکنواخت بین (0.5و0.5 LSB)، باشد مقدار مربوط به ولتاژ خطا ازرابطه شش بدست می آید.

(6)

$$E\{\varepsilon^2\}=\frac{1}{V_Q}\int_{-0.5V_Q}^{+0.5V_Q}\varepsilon^2 d\varepsilon=\frac{1}{v_Q}\left[\frac{\varepsilon^3}{3}\right]=\frac{V_Q}{12}$$



شکل۱-۸) نمودار خطای کوانتیزاسیون[27]

با فرض عدم وابستگی این نویز و با اعمال یک ورودی با دامنهی حداکثر خواهیم داشت.

(7)

$$SNR=20log\left(\frac{V_{rms}}{\sqrt{E(\varepsilon^2}}\right)=20\log\left(2^N\sqrt{1.5}\right)=6.02N+1.76$$

در عمل، خطاهای دیگری نیز عملکرد مبدل را تحت تاثیر قرار می دهند، برخی از این خطاها مستقل از سرعت تغییرات ورودی ویا سرعت نمونه برداری هستند و به آن ها خطاهای استاتیک گفته می شود مثل خطای آفست، خطای بهره و یا خطای غیر خطی بودن .دسته ای از این خطاها نیز تابع فرکانس ورودی و نرخ نمونه برداری هستند . خطای دینامیک مثل اعوجاج هارمونیکی یا افت نسبت سیگنال به نویز.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۱-۷-۲ خطای بهره

بنا به تعریف میزان انحراف شیب مشخصه ی مبدل خطی که از ورودی صفر و ورودی تمام مقیاس می گذرد با شیب ایده آل (2N/VFS) خطای بهره نامیده می شود.

۱-۷-۳ خطای افست

بنا به تعریف به میزان انحراف ورودی مربوط به نخستین جهش خروجی نسبت به مقدار ایده آل (0.5 LSB)، خطای آفست گفته می شود .این خطا در شکل(۶- ۲) ، نشان داده شده است.

۱-۷-٤ خطای DNI

انتظاری که از یک مبدل ایده آل می رود این است که رابطه ی ورودی آنالوگ و خروجی دیجیتال به صورت خطی راست باشد که در این حالت ورودی و خروجی کاملا یکسان خواهند بود اما به دلیل وجود خطا این رابطه اندکی انحنا دارد . اختلاف بین رنج ولتاژ اختصاص داده شده به هر بیت دیجیتال با یک LSB را خطای DNL گویند. که درشکل زیر نشان داده شده است .تعریف ریاضی خطای DNL به صورت زیر است. این نوع خطا نیز در شکل(۱-۹) به نمایش در آمده است.

(8)

$$DNL(k)=\frac{(X_{k+1}-X_k)-LSB}{LSB}$$

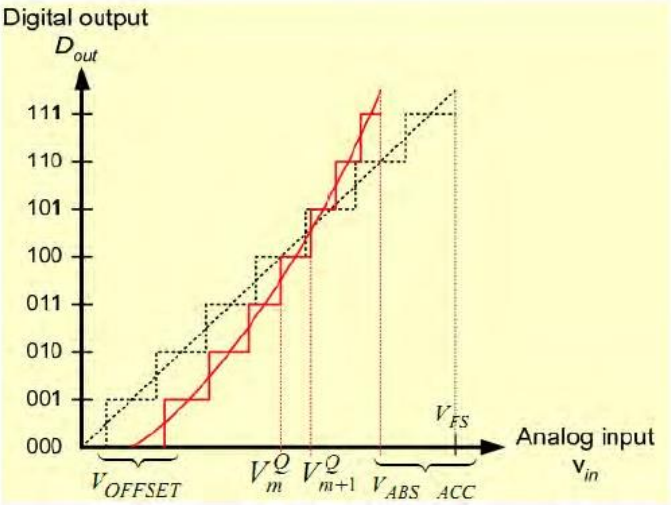
۱-۷-۵ خطای INL

اختلاف بین خط قرمز(غیر ایدهآل)، با خط سیاه (ایده آل)، را خطایINL گویند که در واقع مجموع DNL های قبل از آن نقطه است.

(9)

$$INL(k)=\sum_{l=0}^{k}DNL(l)$$

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل۱-۹) نمایش خطاهای آفست INLو DNL ،[28]

۱-۷-٦ کدهای گمشده

کدهای خروجی که به ازای هیچ مقداری از ورودی تولید نمی شوند را کدهای گمشده گویند این خطای ناشی از DNL بزرگتر از یک LSB است.

۱-۸ تعاریف مهم در مبدل های انالوگ به دیجیتال

در ادامه به بیان برخی تعاریف بیان کننده مشخصات و خطاهای مبدل آنالوگ به دیجیتال خواهیم پرداخت و روابط ریاضی مربوط به هر یک را مورد بررسی قرار خواهیم داد.

۱-۸-۱ قدرت تفکیک، محدوده دینامیک و یکنواختی

تعداد بیت های خروجی که تعیین کننده ی اندازه یLSB محدوده دینامیک، عرض کد و خطای دینامیک استقدرت تفکیک یک مبدل آنالوگ به دیجیتال تعریف می شود . محدوده ی دینامیک نیز که یکی دیگر از پارامترهای مهم در تعریف یک مبدل است به صورت نسبت کوچکترین خروجی ممکن یک LSB به

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

بزرگترین خروجی ممکن ورودی تمام مقیاس تعریف شده است. یکی دیگر از تعاریف مهم در یک مبدل داده یکنواختی آن می باشد و بنا به تعریف مبدلی دارای این ویژگی است، که به ازای ورودی همواره افزاینده کاهنده ، خروجی همواره افزاینده کاهنده داشته باشد.

۱-۸- ۲ نسبت سیگنال به نویز و اعواج

برای یک ورودی سینوسی خالص نسبت دامنه ی موثر ورودی به مقدارrms مجموع سایر مولفه های طیفی شامل نویزو اعوجاج غیر خطی .برای یک FFT با m نقطه از خروجی مربوط به ورودی سینوسی، اگر شماره ی مولفه اصلی m و دامنه ی آن Am باشد، SNDR به صورت زیر محاسبه می شود .

(10)

$$SNDR = 10log\left[A_m{}^2 \left(\sum_{k=1}^{m-1} A_k{}^2 + \sum_{k=m+1}^{M/2} A_K{}^2 \right)^{-1} \right]$$

۱-۸-۳ تعداد بیت موثر

با قرار دادن مقدار SNDR به جای SNR مربوط به خطای کوانتیزاسیون مبدل ایده آل، تعداد بیت موثر خروجی بدست می آید.

(11)

$$\text{ENOB} = \frac{\text{SNDR} - 1.76 \text{ db}}{6.02 \text{ db / bit}}$$

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۹-۱ مسئله توان

معمولاً برای بیان کیفیت یک مبدل، از ترکیبی از سرعت نمونه برداری، درجه تفکیک و توان مصرفی استفاده می شود .توان مصرفی در بسیاری کاربردهای عملی، بصورت مطلق و بدون توجه به دیگر مشخصات نیز تعیین کننده است .استفاده گسترده از باتری در سیستم های قابل حمل در کاربردهای بالا و کاربردهای دیگر از یک طرف و توجه به کاهش ابعاد و وزن دستگاه ها از طرف دیگر، محدودیت هایی را از نظر ولتاژ تغذیه و توان مصرفی ایجاد می کند که باعث می شود در عمل مبدل هایی با سرعت و دقت بالا و مصرف توان زیاد در مقابل مبدل هایی که سرعت و دقت آنها تا حدودی پایین تر است ولی از نظر توان مصرفی کاهش چشم گیری دارند، شانس کارآیی کمتری داشته باشند.

۱-۱۰ اهداف طراحی

هدف از این طراحی، بررسی روش های موجود و ارائه روش های جدید برای کاهش توان مصرفی و ولتاژ تغذیه مبدل آنالوگ به دیجیتال از نوع فولدینگ ۱ است .همان گونه که در بخش های بعد خواهیم دید، مبدل های فولدینگ از سرعت بالا و تاخیر کم برخوردار هستند ولی عمدتاً در ولتاژهای تغذیه ۸/۱ ولت و بالاتر از آنها استفاده می شود و نمونه های گزارش شده عمدتاً مصرف توان نسبتاً بالایی دارند.

[31][30][29] . ساختار فولدینگ و درون یاب در مبدل های آنالوگ به دیجیتال به منظور کاهش سطح اشغالی در ساختار Flash می باشد ، به طوری که طبیعت تک مرحله ای بودن آن از بین نرود . این ساختار توان مصرفی و تاخیر کمی را ارائه می دهد و قابلیت استفاده از نرخ نمونه برداری است . البته به هر حال در بعضی از مبدل های تا شونده و درون یاب (ENOB)، با افزایش فرکانس ورودی ،کاهش می یابد در تعیین مشخصات مورد نظر و مراحل طراحی کاربرد خاصی مورد نظر نبوده است و مشخصات در نظر گرفته شد جدول(۱)، د قیقاً منطبق بر نیاز سیستم بخصوصی نیست .

دقت تفکیک و سرعت نمونه برداری بگونه ای انتخاب شده اند که از حداقل مورد نیاز برای بسیاری کاربردها بالاتر باشند و از طرف دیگر پارامترهایی مثل توان مصرفی، ولتاژ تغذیه و محدوده ولتاژ ورودی فراتر از مقادیر گزارش شده در زمان تعیین مشخصات در نظر گرفته شده قصد دارد تا توجه ویژه ای به سرعت و پهنای باند ورودی داشته باشد و راه حلی به منظور افزایش پهنای باند ورودی مبدل آنالوگ به دیجیتال ارائه کند . این طراحی فقط به یک کاربرد خاص اختصاص ندارد ، بنا براین خصوصیات طراحی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

اختصاص به استاندارد کار خاصی ندارد . هدف اصلی در این پروژه ، طراحی یک مبدل تا شونده و درون یاب با سرعت بالا ،تاخیر کم و پهنای باند بالا است .

جدول ۱ مشخصات در نظر گرفته شده برای مبدل آنالوگ به دیجیتال

فرکانس نمونه برداری	۱۰۰ مگا نمونه بر ثانیه
قدرت تفکیک	۸ بیت
ولتاژ تغذیه	۱/۵ ولت
توان مصرفی	حداکثر ۵۰ میلی وات
محدوده ورودی	حد اقل ۱ ولت
تکنولوژی ساخت	۰/۱۸ میکرون CMOS

جدول (۲)، مشخصات در نظر گرفته شده را در مقایسه با مبدل های گزارش شده تا زمان تعریف پروژه (سال 2003)، نشان می دهد .همانگونه که در این جدول دیده می شود مشخصات تعریف شده به مراتب بالا تر از مشخصات دیگر مبدل ها قرار می گیرد. تذکر این نکته لازم است که هدف از این پژوهش، بهبود مشخصات مبدل با استفاده از روش های مداری است . چرا که با پیشرفت تکنولوژی ساخت و کوچک شدن ابعاد ترانزیستورها طراحی ها به سمت کاهش ولتاژ تغذیه و افزایش سرعت کار مدارهای مجتمع حرکت می کنند . ولی در اینجا هدف رسیدن به مشخصات متمایز با استفاده از یک تکنولوژی نسبتاً

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

قدیمی است بصورتیکه ولتاژ تغذیه در نظر گرفته شده حداقل ۲۰ درصد از ولتاژ نامی تکنولوژی(۸/۱ ولت)، پایین تر است.

جدول ۲ مشخصات در نظر گرفته شده در مقایسه با مبدل های گزارش شده

# of Bits	f_S (MHz)	Tech. (um)	Supply Voltage (V)	Input Range (V)	Power (mW)	Voltage Efficiency (%)	Year
8	**100**	**0.18**	**1.5**	**1.1**	**50**	**73.3**	**2003**
7	300	0.35	3.3	1.6	200	48.5	2003
10	100	0.12	1.2	0.4	140	33	2002
8	100	0.5	5	1	165	20	2001
8	10	0.35	3.3	1	115	30	2001
8	125	0.35	3.3	2	110	60	2000
12	50	0.6	3.3	1.6	850	48.5	2000
6	400	0.5	3.2	2.3	200	72	1998
10	50	0.5	5	2	170	40	1997
8	80	0.5	3.3	1.6	80	48.5	1996
8	125	1	5	?	225	?	1996
6	175	0.7	3.3	1.2	160	36.4	1996
8	70	0.8	5	2	110	40	1995

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل دوم:
بررسی ساختاری مبدل های آنالوگ به دیجیتال موازی و مبدل های A/D سرعت بالا

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۲-۱ مقدمه

با توجه به اهمیت و گسترش کاربرد مبدل های داده، بخش قابل توجهی از تحقیقات در زمینه الکترونیک آنالوگ به این مبدل ها اختصاص دارد . این تحقیقات عمدتاً به بهینه سازی یک ساختارخاص برای رسیدن به سرعت تبدیل یا دقت تفکیک بالاتر و یا توان مصرفی کمتر می پردازند و کمتربه جنبه های تئوریک کارکرد مبدل ها پرداخته می شوند. بررسی رفتارهای مشابه ساختارهای متفاوت و مزایا و معایب هر خانواده از مبدل ها نه تنها می تواند در جهت انتخاب یک سـناریو مناسب برای هر کاربرد مفید باشد، بلکه امکان یافتن ساختارهای جدید را نیز ایجاد می کند. در میان ساختارهای مختلف مبدل های آنالوگ به دیجیتال، مبدل های موازی یک یا چند مسیره برای کاربردهای سریع با درجه تفکیک پایین تا متوسط بهترین انتخاب به شمار می روند.وخلاصه مقایسه برای ساختار های مبدل های A/D ، که برای پیاده سازی یک مبدل سرعت بالا و قدرت تفکیک متوسط مفید است ،در این بخش آورده شده است .

۲-۲ تعریف مبدل موازی

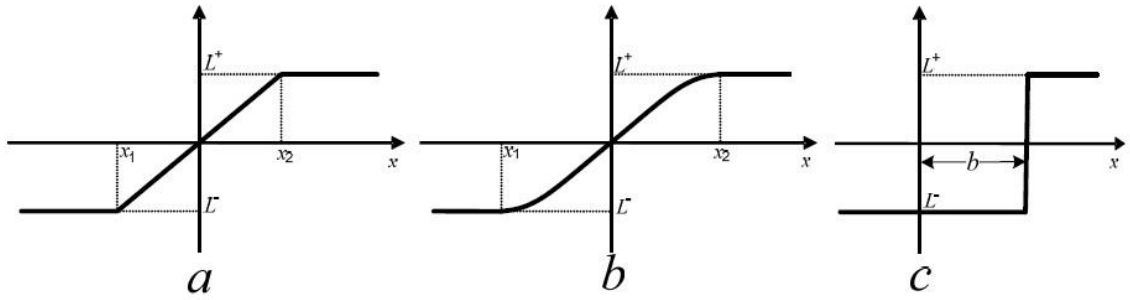
یک مبدل موازی یا چند مسیره می تواند به عنوان مبدلی در نظر گرفته شود که در آن بیش از یک مسیر بین ورودی آنالوگ و طبقه کوانتایزر یک مقایسه کننده وجود دارد .این مسیرها ممکن است کاملاً از یکدیگر مستقل باشند و یا قسمت های مشترک داشته باشند .همچنین همه مسیرها ممکن است در یک زمان به عبارت دیگر به ازای یک مقدار از ورودی فعال نباشند .بسته به ساختار مبدل، یک مسیر ممکن است در کسری از محدوده ورودی یا در تمامی آن فعال شود. مسیرهای موازی معمولاً ساختار کلی مشابهی دارند و مسیرهای مختلف با یک یا چند پارامتر که عمدتاً بهره شیب مسیر و مقدار مرجع یا بایاس مسیر هستند از یکدیگر متمایز می شوند .در دنباله این بحث، از علایمی که معمولاً در بحث شبکه های عصبی برای نمایش یک شبکه بکار می رود بهره می جوییم .[32]. به این صورت که هر مسیر توسط یک پاره خط و عددی که مشخص کننده بهره آن مسیر است نمایش داده می شود .هر مسیر به گره ای منتهی می شود که می تواند از نوع خطی اشباع شونده دو به عبارت دیگر یک تقویت کننده ، یک گره جمع کننده یا یک گره غیر خطی اشباع شونده۳ مقایسه کننده باشد . یک گره خطی اشباع شونده مشخصه ورودی -خروجی مشابه شکل(۲ -

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

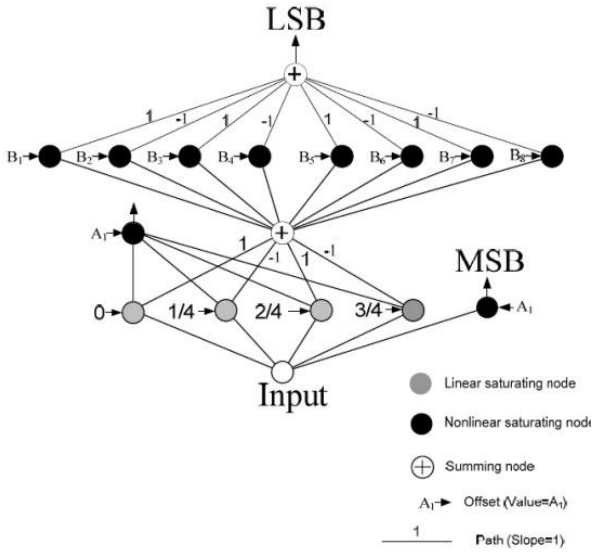
۱-آ یا ۲ -۱ -ب)، دارد ومشخصه یک گره غیرخطی اشباع شونده مشابه شکل (۲ -۱-پ)، است. رابطه ورودی -خروجی گره برای حالت ساده شده شکل (۲ -۱-آ)، بصورت زیر است.

(1-2)

$$y = \begin{cases} L^+ & x < x_1 \\ a.x & x_2 > x > x_1 \\ L^- & x > x_2 \end{cases}$$



شکل ۲ - ۱ آ و ب مشخصه گره خطی اشباع شونده پ یک گره غیرخطی اشباع شونده با مرجعb



شکل ۲ - ۲ نمایش یک مبدل موازی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

مقادیر مراجع یا همان بایاس ها بصورت پیکان های کوچکی که به گره ها اشاره می کنند و عددی که مقدار مرجع را نشان می دهد مشخص می شوند . شکل (۲ -۲)، یک مبدل موازی نمونه را نشان می دهد . فراتر از گره های غیرخطی اشباع شونده یا مقایسه کننده ها، سیگنال ها در حوزه دیجیتال قرار می گیرند .در این حوزه یک گره جمع کننده یک گیت منطقی است و وزن شیب مسیرها یک یا یک - معرف منطق وارون است. در ادامه بحث، درجه تفکیک هر مبدل را با N نمایش می دهیم و محدوده ورودی مبدل ها را بصورت دو طرفه بین R و R در نظر می گیریم .همچنین مقدار ورودی معادل یک LSB را باΔ نشان می دهیم که بصورت زیر تعریف می شود.

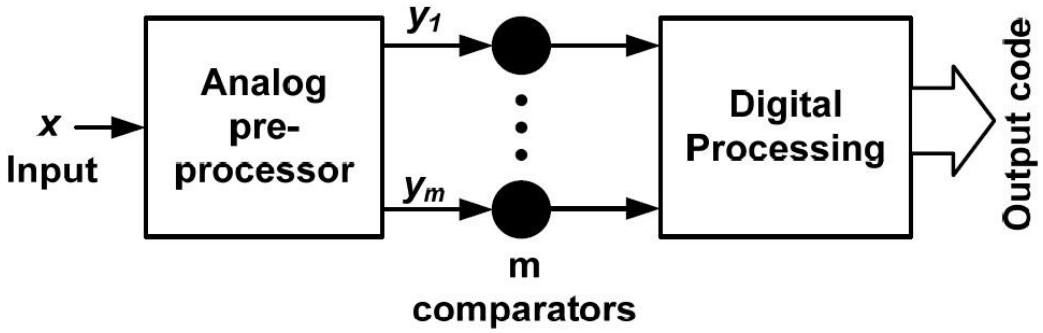
(2-2)

$$\Delta = \frac{R-(-R)}{2^N} = \frac{2R}{2^N}$$

مشخصهٔ تقویت کننده ها نیز در ادامه بحث بصورت دو طرفه دیفرانسیل در نظر گرفته شده اند و فرض شده است مقادیر اشباع مثبت و منفی آنها همواره قرینه باشد.

۲-۳ مدل کلی مبدل موازی

یک مدل کلی برای مبدل های موازی می تواند بصورت شکل (۲ -۳) ، نمایش داده شود .تفاوت اساسی بین ساختارهای مختلف در بلوک پیش پردازش آنالوگ است . این بلوک می تواند نقش های متفاوتی داشته باشد در مبدل درون یابی نقش اصلی آن فراهم کردن بهره آنالوگ با استفاده از تعداد حداقلی از تقویت کننده هاست تا به این وسیله تاثیر خطای مقایسه کننده را کاهش دهد . در مبدل فولدینگ نقش اصلی این بلوک کاهش تعداد مقایسه کننده ها است.



شکل ۲ - ۳ مدل کلی یک مبدل موازی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

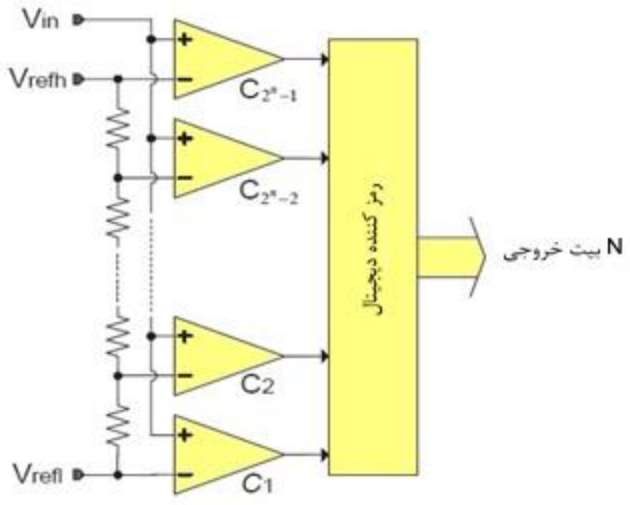
در مبدل فولدینگ هر مقایسه کننده تعدادی از تغییر حالت های خروجی را ایجاد می کند در حالیکه در مبدل فلاش هر مقایسه کننده تنها یکی از تغییر حالت های خروجی را می سازد. در حالت کلی، حداقل تعداد مقایسه کننده ها در یک مبدل N بیتی موازی برابر N است . برای چنین حالتی، طراحی یک بلوک پیش پردازش می تواند بصورتی انجام گیرد که یک مقایسه کننده مستقیماً بیت MSB را استخراج کند . مقایسه کننده بعدی بیت MSB-1 را بسازد و به همین ترتیب بیت های پایین تر ساخته شوند .لازم به ذکر است که در صورتی که فرمت خروجی کد باینری ۱ باشد، بیت های مختلف تغییر حالت های مشترک زیادی خواهند داشت در هرحالی که در فرمت کد گری ۲ در هیچ زمانی ۲ بیت خروجی بصورت همزمان تغییر حالت نمی دهند . برای یک مبدل با کد گری، مقایسه کننده ای که بیت LSB را می سازد می تواند حداقل N-1 تغییر حالت به ازای ورودی های Δ1- 2N ،... ،Δ3،Δ داشته باشد. همانگونه که اشاره شد یکی از کاربردهای پیش پردازش آنالوگ می تواند کاهش تاثیر خطای مقایسه کننده ها در ورودی باشد ولی از سوی دیگر محدودیت دقت پیاده سازی بلوک پیش پردازش آنالوگ خود می تواند منشاء بروز خطا باشد . از طرف دیگر این بلوک با ایجاد تاخیر در مسیر سیگنال بخصوص ایجاد رفتارهای غیرخطی می تواند محدودیت سرعت تبدیل را به دنبال داشته باشد.[33].

۲-٤ مبدل A/D کاملا موازی (Flash)

یک راه ساده برای ساختن یک مبدل آنالوگ به دیجیتال سرعت بالا استفاده از ساختار فلش کام (flash full)، است. [34] ، که در شکل(۲ -۴)، نشان داده شده است . این نوع از مبدل ها شامل یک آرایه ۱-2^n از مقایسه گر ها هستند که n در آن بیانگر تعداد بیت ها است . یکی از ورودی های هر مقایسه گر به ولتاژ ورودی و ورودی دیگر به ولتاژ مرجع متصل است . این ولتاژ مرجع عموما توسط یک نردبان مقاومتی اخته می شود . خروجی مقایسه گر ها به صورت لاجیک ،کد می شوند تا دیتای خروجی ساخته شود . مجموعه خروجی دیجیتال که در خروجی بانک مقایسه گر ها ایجاد می شوند در اصطلاح کد های دما سنجی گفته می شوند ، زیرا که خروجی هر مقایسه گر زیر بعضی از نقاط در طول آرایه ، لاجیک یک را دارد. مانند جزء انباشته شده جیوه در دماسنج در حالی که خروجی همه مقایسه گر هایی که در بالای این موقعیت قرار دارند ،لاجیک ۰ هستند مانند جزء خالی دماسنج . تبدیل در (A/D) های فلش سریع ترین و در عین حال ساده ترین پروسه تبدیل را داراست ، زیراکه مبدل فلش در هر تبدیل تنها نیاز به یک سیکل ساعت دارد . بعلاوه چون مرجع با رشته مقاومتی ساخته می شود ،آنها یکنواخت هستند و غیرخطی بودن تفاضلی وچکی را

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

نتیجه می دهد . امتیاز این مبدل فلش کامل ،طراحی ساده آن و همچنین رفتار فرکانس بالای ذاتی آن است . رای قدرت تفکیک بالای هفت بیت ، جبران انحراف (offset)، به منظور اجتناب از استفاده از ترانزیستور های بزرگ در مقایسه گرها به دلایل تطبیقی ،لازم است . به هر حال چندین نقص نیز در این ساختار وجود دارد . یکی از این نقایص این است که با افزایش قدرت تفکیک پیچیدگی سخت افزار به صورت نمایی افزایش پیدا می کند زیرا که در این ساختار نیاز به $۲^N-۱$ مدار مقایسه کننده است . همچنین این به این معناست که توان مصرفی و همچنین سطح اشغالی تراشه نیز به صورت نمایی با قدرت تفکیک افزایش می یابد . نقص دوم این است که ورودی آنالوگ باید بتواند ظرفیت خازنی ورودی غیر خطی بزرگ مربوط به مقایسه گر ها را تحریک کند . زیراکه این ظرفیت خازنی ورودی برای هشت بیت به طور معمول(۳۰ pF-۱۵)و جریان راه اندازی به (۶۰-۳۰ mA) برای سیگنال های ورودی (۱۰۰MHz ۳Vp-p)، می رسد و ممکن است اعوجاج سیگنال بزرگ اتفاق بیافتد . بعلاوه اینکه به واسطه ظرفیت خازنی ورودی سیستم غیر خطی تر هم می شود .



شکل ۲-٤ ساختار انالوگ به دیجیتال فلش

برای رسیدن به قدرت تفکیک هفت بیتی با ورودی سیگنال (Vp-p ۲-۳) ، مقایسه گر می بایست قابلیت تشخیص (۲۵ mV)، را دارا باشد . به منظور پیاده سازی قدرت تفکیک های بالا تر می توان از روش های دیگری از جمله اضافه کردن یک تقویت کننده برشگر و طرح صفر خودکار به منظور نمونه برداری از یک انحراف در خازن جلوی نگهدارنده استفاده کرد یا اینکه از یک پیش تقویت کننده درجلوی نگهدارنده

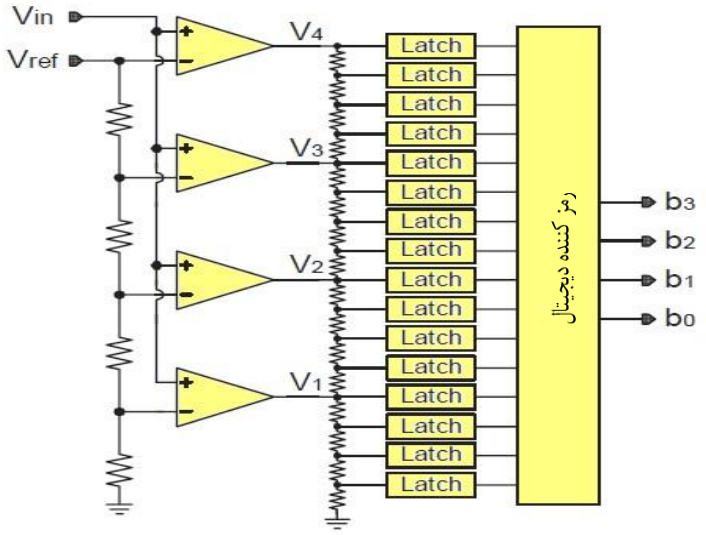
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

استفاده کرد ،که با این عمل DNL مربوط به ADC کاهش می یابد . اگر چه توپولوژی فلش برای مبدل های با قدرت تفکیک کم بسیار موثر است و به طور گسترده برای پیاده سازی تا قدرت تفکیک های ۸ بیت نیز مورد استفاده قرار می گیرد اما افزایش قدرت تفکیک باعث افزایش شدید تعداد مقایسه گر های مورد نیاز است که دلایل زیان آور زیر از این امر حاصل می شود اندازه بزرگ که موجب هزینه زیاد می گردد استفاده از تعداد افزاره های بسیار زیاد که موجب بازدهی کم می شودتوزیع پیچیده سیگنال و ساعت و همینطور بارگذاری ظرفیت خازنی قابل توجه هم پارزایتی و هم افزاره ظرفیت بزرگ خازنی ورودی موجب توان مصرفی زیاد در T/H برای راه اندازی مبدل A/D و همینطور خراب شدن خطی بودن دینامیک می شود . نویز بالای منبع تغذیه که به علت جریان سوئیچینگ بالا ایجاد می شود . خطا های قابل توجه در ولتاژ های آستانه که به علت جریان بایاس در ورودی مقایسه گر ها که به دنبال آن در نردبان مرجع مقاومتی ایجاد می شود ،به وجود می آیند.

۲-۵ مبدل A/D فلش درون یاب

مبدل های درون یاب به منظور کاهش ظرفیت خازنی ورودی و همینطور تعداد پیش تقویت کننده ها در ساختار فلش ،طراحی شده اند . این نوع از مبدل های A/D از تقویت کننده هایی در ورودی استفاده می کنند که در شکل(۲-۵)، نشان داده شده است . این تقویت کننده های ورودی در نزدیکی ولتاژ های آستانه خودشان به صورت خطی عمل می کنند البته ممکن است در صورتی که یکی از ورودی ها به صورت متعادل بزرگتر باشد ، به اشباع رود . در نتیجه از ثبات ها فقط به منظور تعیین علامت خروجی تقویت کننده استفاده می شود زیرا که اختلاف بین سیگنال ورودی و ولتاژ های آستانه ، تقویت شده است از این رو دیده می شود که نگهدارنده خیلی حساسی نیاز نیست . اگر چه این ساختار اغلب با ساختار فولدینگ ترکیب می شود ، اما ساختار درون یاب به تنهایی می تواند به صورت کاملا موفق مورد استفاده قرار گیرد .[35]. امتیاز مهم ساختار درون یاب ،کاهش تعداد زوج های تفاضلی است که به سیگنال ورودی مرتبط است . نتیجه کاهش این تعداد ،رسیدن به ظرفیت خازنی کوچکتر در ورودی است که برای یک مبدل فلش بسیار بالا است ،و همچنین توان مصرفی نیز با کاهش تعداد مصرف کننده ها کاهش می یابد ،و همینطور تعداد مرجع های دقیق ولتاژ که باید ایجاد شوند نیز کم می شود .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

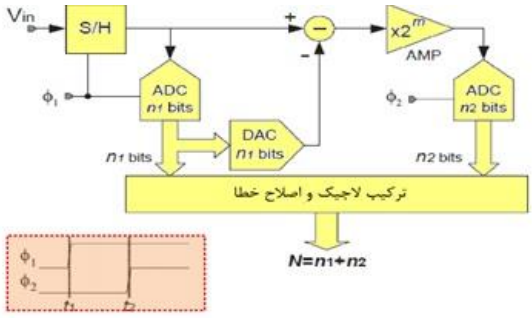


شکل ۲-۵ مبدل A/D درونیاب ٤ بیتی

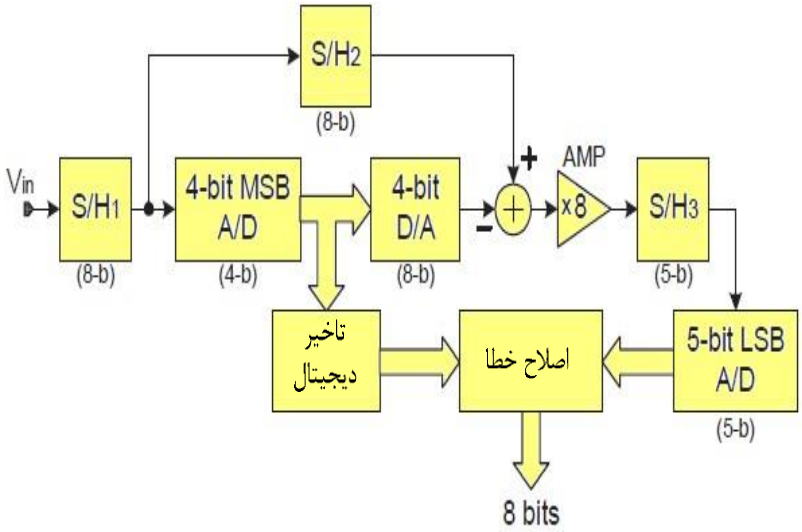
۲-٦ مبدل های ADC دو مرحله ای

یک مبدل دو مرحله ای شامل یک مدار نمونه بردار و نگهدارنده (S/H) ،دو چندی کننده ، (DAC)،کاهش گرو یک بلوک بهره است ،که در شکل(۲-۶)، نشان داده شده است . مدار(S/H)، از ورودی نمونه برداری می کند و آن را نگه می دارد . این سیگنال نمونه برداری شده از مدار (S/H)، با اولین چندی کننده با دقت درشت ،چندی می شود . خروجی چندی کننده اول ،خروجی(DAC)، را می سازد ، سپس اختلاف بین سیگنال ورودی نمونه برداری شده و خروجی (DAC)، ساخته می شود . این باقیمانده تقویت می شود و با استفاده از چندی کننده دوم ،چندی می شود . خروجی (S/H)، تا زمانی که دومین چندی کننده ،کار خود را تمام کند ، نگه داشته می شود .در یک ساختار(subrange) ، چندی کننده دوم می تواند تنها به اندازه(±1/2LSB از N بیت)، انحراف را برای یک(ADC)، که دارای N بیت است ، تحمل کند ، و اینکه دقت اولین چندی کننده می تواند با اضافه کردن چند مقایسه گر اضافی دردو انتهای چندی کننده دوم و با استفاده از یک روش اصلاح خطا ، بهبود پیدا کند . ولی در ساختار دومرحله ای ، هر دوی چندی کننده های اول و دوم می توانند بیش از(±1/2LSB از N-bit)، انحراف را برای یک مبدل N بیتی تحمل کنند ، زیراکه تقویت کننده باقیمانده (residue) ، می تواند سیگنال باقیمانده را تا مقیاس کامل ورودی تقویت می کند . در شکل(۲ -۷) ، دقت لازم برای هر بلوک در یک مبدل ۸ بیتی دو مرحله ای نشان داده شده است .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۲-٦ ساختار مبدل های A/D دو مرحله ای



شکل ۲-۷ دقت مورد نیاز برای هر بلوک در مبدل های دو مرحله ای

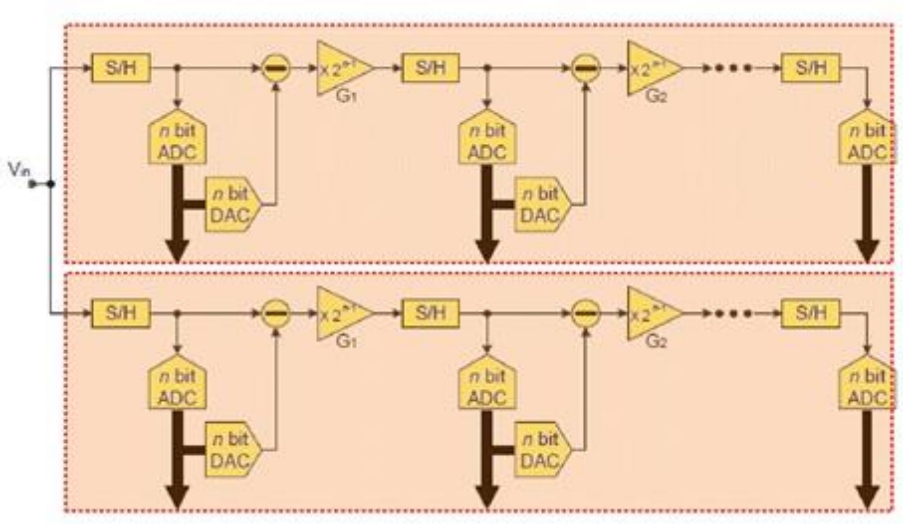
می توان از تکنیک های مداری غیر از رشته مقاومتی استفاده کرد تا اهداف درون یابی محقق شود . به عنوان مثال در برخی از ساختار ها از آینه جریان به منظور درون یابی استفاده می شود و یا از خازن به منظور دو مرحله سازی درون یابی .

۲-۷ مبدل های A/D با ساختار جداسازی زمانی

نرخ عملکرد و کارایی را می توان با استفاده از ساختار های موازی ،افزایش داد . یک (ADC دو کاناله time-interleaving)، در شکل (۲ –۸)، نشان داده شده است . هر دو کانال به صورت یک رفتار(time

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

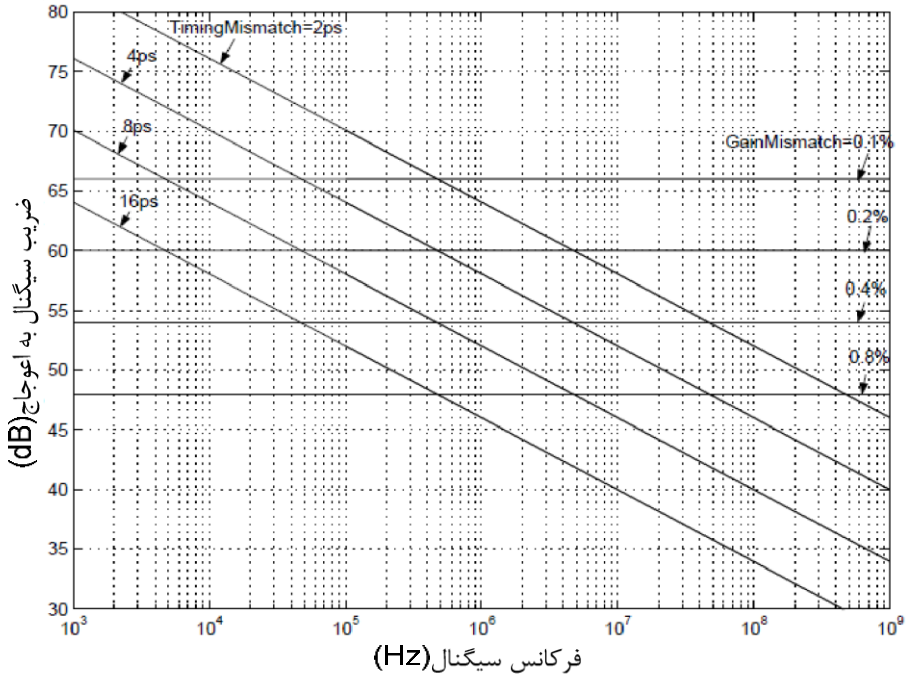
interleaveg)، کار می کنند . یعنی کانال اول از ورودی نمونه برداری می کند و در این حالت کانال دیگر ورودی نمونه برداری شده قبل را ارزیابی می کند . در تئوری ، نرخ تبدیل با افزایش تعداد مسیر های موازی افزایش می یابد که این افزایش نیز به صورت خطی باعث افزایش توان مصرفی و سطح اشغالی می شود . این ساختار(time-interleaving)، سه منبع اصلی اعوجاج دارد . یک منبع خطا این است که یک عدم تطابق زمانی میان نمونه برداری های هر کانال ،می تواند تمیزی طیف را خراب کند . عدم تطابق زمانی میان کانال ها اجتناب ناپذیر است ،که این امر به دلیل عدم تقارن توزیع سیگنال ساعت در آرایش است و همینطور به دلیل عدم تطبیق در المان هایی از قبیل المان های بافر .



شکل ۲-۸ مبدل A/D لوله ای با جدا سازی زمانی دو گانه

دیگر منابع اعوجاج عبارتند از عدم تطبیق در انحراف و بهره در بین کانالها . عدم تطبیق انحراف درون کانالی با توجه به الگوی ثابت نویز (اعوجاج)، بالا می رود . این نویز می تواند در حوزه فرکانس به صورت یک تون که ضریبی از f_s/N است بیان شود که N در آن نشان دهنده تعداد کانال ها است (n=1,2,…,N) . عدم تطبیق بهره درون کانالی می تواند موجب تولید یکنواخت های اسپورسیگنال های نادرست در-m=1,2,…,N ($m(f_s/N)\pm f_{in}$،1) تولید می کند . بعلاوه ، اولین S/H در هر کانال باید دارای پهنای باند دنبال کننده کافی برای دریافت کردن فرکانس ورودی تا فرکانس نایکوئیست باشد . شکل (۲-۹)، نشان دهنده بیشینه سیگنال به نویز و اعوجاج (SNDR)، قابل دسترسی در سیستم ADC های با ساختار(time-interleaving)، با عدم تطبیق در زمان و بهره می باشد .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۲-۹ بیشینه SNR قابل دستیابی با عدم تطابق زمانی و عدم تطابق بهره در دو کانال برای مبدل های دو کاناله جدا سازی زمانی

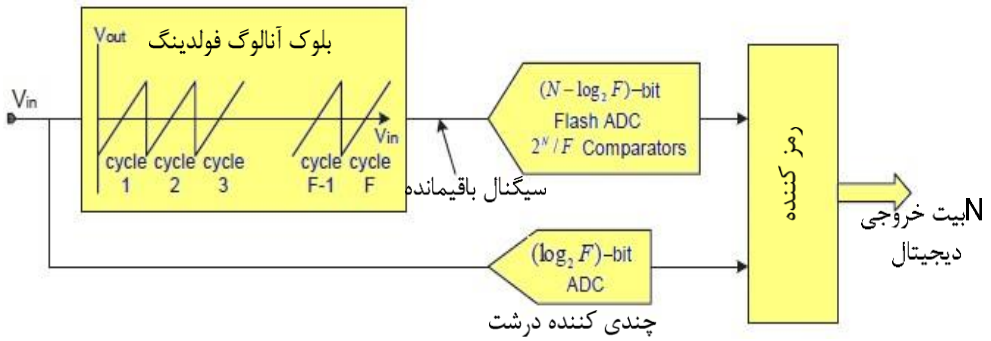
در مقایسه با عدم تطبیق زمانی ، عدم تطبیق بهره و انحراف را ساده تر می توان کالیبره و یا اصلاح کرد . اثرات عدم تطبیق زمانی را می توان با اضافه کردن مدار نمونه بردار و نگهدارنده در ورودی هر کانال ، تا حد زیادی کاهش داد . عدم تطبیق زمانی بین کانال ها در حال حاضر مثل قبل نیست ، زمانی که ساختار لوله ای موازی دارای یک S/H ساده بود ، چون S/H سیگنالهای نمونه برداری شده را به جای سیگنال های دینامیک توزیع می کند . از آنجا که S/H با سرعت بالا مشکل ترین بخش طراحی مبدل های سرعت بالا است ، اضافه کردن یک S/H ساده چیزی بر خلاف انگیزه اصلی جداسازی زمانی است.

۲-۸ مبدل های A/D فولدینگ

تعداد تقویت کننده های ورودی می تواند با استفاده از ساختار درون یابی ،کاهش یابد . به هر حال ، تعداد مقایسه کننده ثبات ها (latches)، در 2^N برای یک مبدل N بیتی می ماند . این تعداد برای مقایسه گر های ثبات ها می تواند موجب کاهش استفاده در این ساختار شود. .[40],[39],[38],[37],[36]. فکر مبدل های A/D تاشونده اولین بار توسط(Arbel و Kurz)، در سال 1975 ارائه شد . اولین انگیزه کاهش بسیار زیاد در

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

تعداد مقایسه گر های موجود در طراحی بود . پیاده سازی های متفاوت در تولید سیگنال های فولدینگ از آن زمان به بعد مورد بررسی قرار گرفت ، اما روش متداول استفاده از کوپل زوج های تفاضلی (CDPs)، است . تقریبا همزمان با معرفی(CDPs) ، ایده استفاده از درون یابی مقاومتی است ،که در آن سیگنال های فولدینگ اضافی بدون نیاز به (CDPs)، اضافی ،تولید می شوند . مبدل های A/D فولدینگده همراه با درون یابی اغلب فولدینگ و درون یاب خوانده می شوند . یک مبدل آنالوگ به دیجیتال فولدینگ شبیه به عملکرد یک مبدل دو مرحله ای(ubranging)، است که در آن یک گروه از LSB ها به طور جداگانه از گروه MSB ها پیدا می شوند . به هر حال در مبدل های A/D دو مرحله ای نیاز به یک مبدل D/A دقیق برای بازسازی سیگنال آنالوگ به منظور محاسبه تفاضل است ،یک مبدل تاشونده گروه LSB را به صورت مستقیم تر و از طریق پیش پردازش تعیین می کند . زمانی که گروه MSB در زمان یکسان تعیین می شود . این آرایش ، مشکل احتیاج به یک T/H بین چندی کننده درشت و دقیق را با فرم دادن سیگنال باقیمانده بدون رفتن به یک ترکیب(D/A-A/D) ، به همراه تاخیر ساعت مربوط به آن ،رفع می کند .مبدل تاشونده در شکل (۲ -۱۰)، نشان داده شده است که به یک پیاده سازی دو مرحله ای با چندی کننده درشت ($\log_2 F$)، بیت وچندی کننده دقیق ($N-\log_2 F$)، شبیه است . که در آن F فاکتور فولدینگ است که برابر با تعداد تناوب ها در تابع تبدیل بلوک تاشونده آنالوگ است . این تقویت کننده فولدینگده عمل DAC و المان تفریق در ساختار دو مرحله ای که قبلا بیان شد ، را انجام می دهد . البته این ملکرد به صورت همزمان برای چندی کننده های درشت و دقیق است . این ساختار A/D فولدینگده ارائه دهنده پیچیدگی کمتر برای عملکرد های با پتانسیل بالاست.



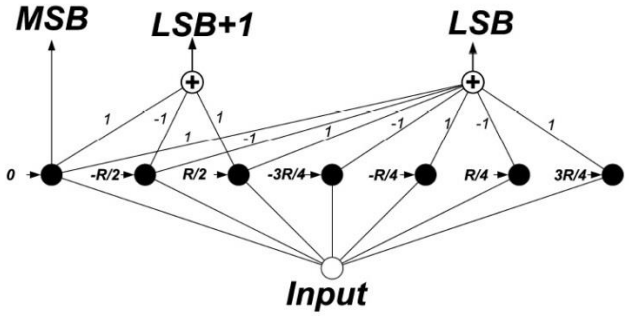
شکل۲-۱۰ توپولوژی مبدل A/D فولدینگ

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

تعداد ترانزیستور های به کار رفته در چندی کننده فلش متناسب با تعداد مقایسه گر های مورد نیاز است، ۱- ۲^N ،که به صورت متناسب با آن تعداد ترانزیستور های مورد استفاده برای هر مقایسه گر که شامل مدارات وابسته مانند پیش تقویت کننده و گیت های لاجیک به منظور رمز برگردانی . همچنین تعداد ترانزیستور های مورد نیاز برای یک چندی کننده فولدینگ برابر با مجموع ترانزیستور های در بر گیرنده بلوک تاشونده آنالوگ ،چندی کننده درشت و چندی کننده دقیق است . شکل (۲ -۱۰)، پیچیدگی چندی کننده درشت و بلوک فولدینگ آنالوگ تنها به F_F ،که تعداد تناوب ها در خصوصیت تاشوندگی است ، بستگی دارد و نه به N که قدرت تفکیک چندی کننده است ، در حالی که پیچیدگی چندی کننده دقیق متناسب با (N/F_F2) ، است . بنا بر این مجموع پیچیدگی چندی کننده فولدینگ برابر یک ثابت است که متناسب با F_F بعلاوه یک ترم که متناسب با ($^N/F_F2$)، است .

۲-۹ ساختارهای متداول

این بخش را با بررسی سه ساختار متداول یعنی فلاش، درون یابی اینترپولاسیون و فولدینگ که هرسه جزو ساختار های شیب یکسان ۱ هستند، آغاز می کنیم در این سه ساختار معمولاً مسیرها شیب یکسان دارند و عمدتاً مراجع مسیرها را از یکدیگر متمایز می کنند . مبدل فلاش ساده ترین ساختار یک مبدل شیب یکسان است که همه 2N -1 مسیر آن شیب واحد دارند و 2N -1 مرجع مختلف آنها را از یکدیگر تفکیک می کند . در شکل(۲ -۱۱)، یک مبدل فلاش ۲ بیتی دیده می شود.

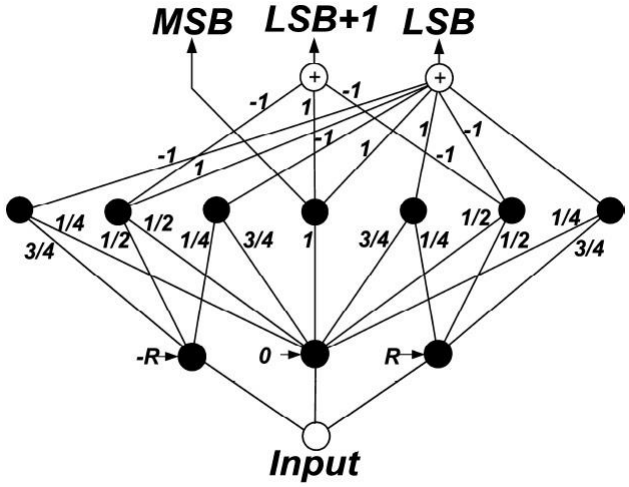


شکل ۲ - ۱۱ مبدل فلاش ۳ بیتی

ساختار یک مبدل درون یابی اینترپولاسیون در شکل(۲ -۱۲)، نشان داده شده است .تعداد مقایسه کننده ها برابر تعداد مقایسه کننده های یک مبدل فلاش با تعداد بیت مشابه است .ولی چنانچه مسیرهایی که گره

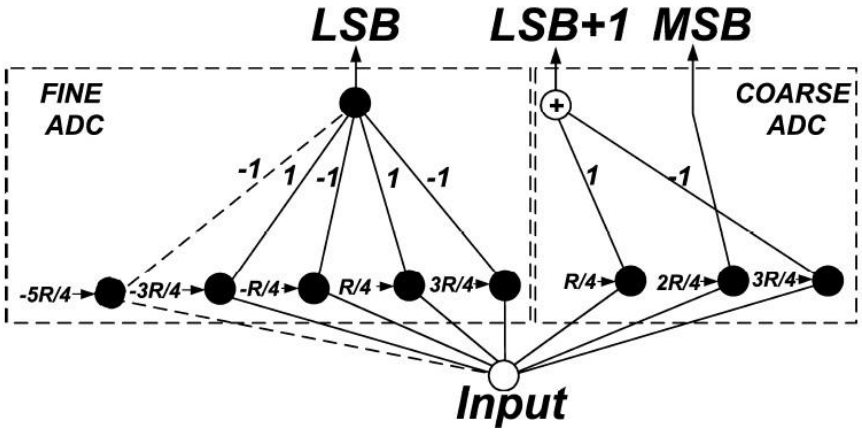
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

ورودی را به گره های میانی ارتباط می دهند بهره بزرگتر از واحد داشته باشند، مقایسه کننده هایی با دقت کمتر نیز می توانند جواب گو باشند.



شکل ۲ - ۱۲ مبدل ۳ بیتی با ضریب درون یابی ٤

مبدل فولدینگ نیز می تواند به عنوان یک مبدل شیب یکسان در نظر گرفته شود به این معنی که در قسمت مبدل ریزگام ۱ شیب ها با یکدیگر برابرند و در قسمت مبدل فرعی درشت گام۲ نیز مشابه مبدل فلاش همه مسیرها شیب واحد دارند. در حالت کلی N1 بیت از مبدل ریزگام و N2 بیت از مبدل درشت گام استخراج می شود .در حالت فرضی که تنها۱ بیت توسط مبدل ریزگام ساخته شود، ساختار مبدل فولدینگ ایده آل و غیرایده آل مشابه خواهند بود ولی برای تعداد بیت های بالاتر، این دو ساختار متفاوت خواهند بود.



شکل ۲ - ۱۳ مبدل فولدینگ ۳ بیتی ۱) بیت از مبدل ریزگام و ۲ بیت از مبدل درشت گام)

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

می توان نشان داد که در مبدل فولدینگ غیرایده آل، عملاً از تعدادی مبدل فولدینگ ایده آل یک بیتی استفاده می شود و تفاوت عمده این دو ساختار چنانچه خواهیم دید در حساسیت متفاوت به شیب وتعداد متفاوت تقویت کننده ها است .برای مبدل شکل(۲ - ۱۳)، رابطه ورودی خروجی برای بخش فولدینگ می تواند بصورت زیر محاسبه شود .با فرض آنکه هر گره مشخصه ای مشابه شکل(۲ -۱ -آ)، داشته باشد مبدل ایده آل بین هر دو نقطه شکست متوالی، خروجی ورودی مقایسه کننده یک تابع خطی از ورودی خواهد بود.

(3-2)

$$out = (-1)^i a(x - V_{refi}) + \sum_{k=1}^{i-1} (-1)^k L_k^+ + \sum_{k=i}^{2^{N_2}-1} (-1)^k L_k^- \qquad i = 1:2^{N_2}+1$$

در رابطه بالا

(4-2)

$$(i-1).\Delta_1 - R \le x \le i.\Delta_1 - R$$

(5-2)

$$\Delta_1 = \frac{2R}{2^{N_2}}$$

(6-2)

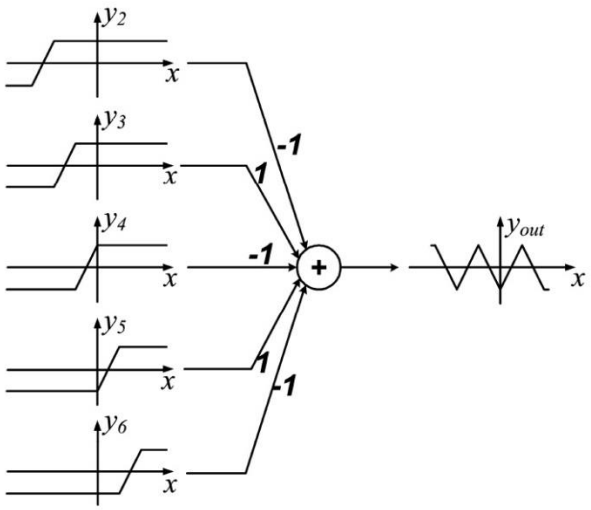
$$a = \frac{2L}{\Delta_1} = 2^{N_2}.\frac{L}{R}$$

(7-2)

$$V_{refi} = -R + (i - 1/2).\Delta_1$$

در شکل(۲ -۱۴)، نحوه ساخته شدن سیگنال (تا شده فولدینگ)، با استفاده از سیگنال هایی با شیب برابر و مراجع متفاوت نمایش داده شده است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۲ - ١٤ ساختن سیگنال فولدینگ با ساختار شیب یکسان

۲-۱۰ حساسیت به خطاها

ساختارهای مختلف از دیدگاه های متفاوت می توانند با یکدیگر مقایسه شوند که از آن میان پیچیدگی و حساسیت از معیارهای اصلی به شمار می روند . پیچیدگی معرف تعداد پارامترهایی است که در یک ساختار در ایجاد خروجی سهیم هستند و حساسیت میزان دقت لازم برای ساختن هر پارامتر را مشخص می کند. در حالت کلی یک بده بستان یک بین این دو مشخصه قابل تشخیص است .هر چه تعداد پارامترهای سازنده خروجی کمتر باشد، دقت بیشتری برای هر پارامتر مورد نیاز خواهد بود . معیار پیچیدگی به صورت کمی با تعداد گره ها، تعداد مسیرهای میانی و تعداد مسیرهای منشعب از یک گره (بار گره)، قابل بیان است . در دنباله روشی برای بیان کمی حساسیت نیز معرفی می شود. به منظور داشتن معیار عددی از حساسیت، ابتدا خطای ورودی را بصورت تفاوت مقدار ورودی که تغییر حالت n ام خروجی را ایجاد می کند و مقدار ایده آل آن، تعریف می کنیم.

(8-2)

$$\Delta x_n = x_n - x_{n0} \qquad n = 1,2,3,...,2^N - 1$$

که در این رابطه $x_{n0} = n.\Delta$ مقدار ایده آل ورودی مربوط به تغییر حالت n ام در خروجی و Δ مقدار ورودی معادل یک LSB است.

مقدار نرمالیزه Δx_n همان میزان غیرخطی بودن انتگرال (INL) به ازای تغییر حالت n ام خروجی است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

(9-2)

$$INL_n = \frac{\Delta x_n}{\Delta} \qquad n = 1,2,3,...,2^N - 1$$

در حالت کلی خطای خروجی تابعی از خطا در عواملی مثل شیب ها، مقادیر اشباع و مراجع است. اگرارتباط هر عامل P و مقدار ایده آل آن عامل بصورت زیر تعریف شود.

(10-2)

$$P = P_0 + \Delta P = P_0(1 + e_P)$$

ارتباط بین خطای خروجی (INL) و خطای عوامل بصورت زیر محاسبه می گردد.

(11-2)

$$S_{P_n} = \frac{\frac{\Delta x_n}{\Delta}}{\frac{\Delta P}{P_0}} = n\frac{\frac{\Delta x_n}{x_0}}{\frac{\Delta P}{P_0}}$$

در رابطه بالا SPn ضریب حساسیت نسبت به پارامتر P است که به صورت نسبت خطای نرمالیزه خروجی به خطای نسبی P با فرض ایده آل بودن باقی عوامل تعریف می شود .توجه به این نکته لازم است که SPn تابعی است از پارامتر P و همچنین کد خروجی که با n مشخص شده . همچنین از آنجا که خطای INL بصورت نرمالیزه به LSB بیان می شود و نه به مقدار مطلق x0 ضرایب حساسیت نیز برهمین اساس تعریف می شوند.ضرایب حساسیت نسبت به پارامترها می تواند در تعیین میزان حساس بودن یک ساختار مورد استفاده قرار گیرد . اگر تمامی منابع خطا بصورت متغیرهای تصادفی با میانگین صفر در نظر گرفته شوند، خطای INL نیز یک متغیر تصادفی خواهد بود که انحراف معیار آن بصورت زیر بدست می آید.

(12-2)

$$\sigma_{INL} = \sqrt{\sum S_{P_n}^2 \sigma_P^2}$$

در رابطه بالا SPn ضریب حساسیت عامل P بصورت تابعی از n است.

برای یک مبدل فلاش، تنها عامل خطای خروجی، خطا در مقادیر مرجع افست ها است . خطای مقایسه کننده نیز می تواند مستقیماً با این خطا ترکیب شود. هر مقدارجابجایی در مرجع n ام نرمالیزه به مقدار یک (LSB)، همان مقدار جابجایی در تغییر حالت n ام خروجی ایجاد می کند و بر مابقی تغییر حالت های خروجی هیچ تاثیری نخواهد داشت .بنابراین ضرایب حساسیت به مراجع بصورت زیر بدست می آید.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

(13-2)

$$\left|S_{ref_{kn}}\right| = \begin{cases} 0 & n \neq k \\ 1 & n = k \end{cases}$$

nو k در رابطه بالا هر دو بین ۱ و 2N -1 تغییر می کنند.

برای مبدل درون یابی اگر ضریب درون یابی را I در نظر بگیریم، تعداد تقویت کننده های لازم برای یک مبدل N بیتی از رابطه زیر محاسبه می شود.

(14-2)

$$N_A = \frac{2^N}{I} + 1$$

در این مبدل عوامل خطا عبارتند از خطا در مقادیر مرجع، عدم تطابق ضرایب تقویت و بالاخره خطا درضرایب درون یابی . برای بدست آوردن ضرایب حساسیت، ابتدا رابطه ورودی خروجی را بصورت زیر بدست می آوریم.

(15-2)

$$out = a_i (x_n - ref_i) b_{in} + a_{i+1}(x_n - ref_{i+1}).(1 - b_{in}) \qquad (i-1)I \leq n \leq iI - 1$$

(16-2

$$ref_i = \frac{i-1}{N_A - 1}.R = I.(i-1).\Delta \qquad 1 \leq i \leq N_A$$

(17-2)

$$b_{i,n} = \frac{I.i - n}{I} \qquad 1 \leq i \leq N_A \;,\; 1 \leq n \leq 2^N - 1$$

و ai ضریب تقویت کننده i ام است .ضرایب حساسیت این مبدل بصورت زیر محاسبه می شود.

(18-2)

$$\left|S_{ref_{i,n}}\right| = \begin{cases} 0 & i \leq k-2 \\ \dfrac{j}{I} & i = k-1 \\ \dfrac{I-j}{I} & i = k \\ 0 & i > k \end{cases}$$

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

(19-2)

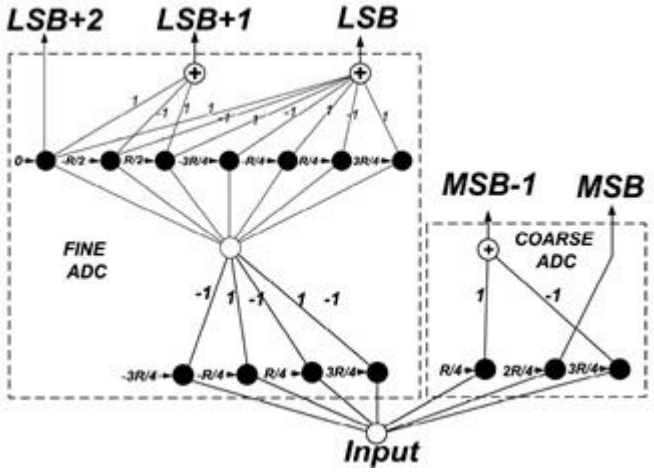
$$\left|S_{a_{k,n}}\right| = \begin{cases} 0 & i \le k-2 \\ \dfrac{j(I-j)}{I} & k-2 < i \le k \\ 0 & i \ge k \end{cases}$$

(20-2)

$$\left|S_{b_{k,n}}\right| = \begin{cases} 0 & i < k \\ (I-j) & i = k \\ 0 & i > k \end{cases}$$

در روابط بالا n=I.(i -1)+j است و i و k هر دو بین 1 و M تغییر می کنند.

اکنون به بررسی مبدل فولدینگ را از نظر حساسیت می پردازیم . یک مبدل فولدینگ ایده آل N بیتی که N1بیت از مبدل دقیق و N2 بیت از مبدل درشت گام استخراج می شود، در عمل یک مبدل دو طبقه است . نمونه ای از این مبدل با N1 =2 و N2 =3 بیت مشابه شکل (۲ -۱۵)، است.



شکل ۲ - ۱۵ مبدل فولدینگ ایده آل

برای این رابطه ورودی خروجی در هر یک از نقاط تغییر حالت خروجی بصورت زیر محاسبه می شود.

(21-2)

$$out = a_i\,(x_n - V_{refi}) + \sum_{m=1}^{i-1}(-1)^m L_m^- + \sum_{m=i+1}^{2^{N_2}}(-1)^m L_m^+ \qquad i = 1:2^{N_2}$$

در رابطه بالا n=i.2N1+j است . ضرایب حساسیت این مبدل به ترتیب زیر بدست می آید.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

(22-2)

$$\left|S_{ref_{l,j}}\right| = \begin{cases} 0 & l \neq j \\ 1/a_0 & l = j \end{cases}$$

(23-2)

$$\left|S_{ref_{k,i}}\right| = \begin{cases} 0 & i \neq k \\ 1 & i = k \end{cases}$$

(24-2)

$$\left|S_{L_{k,i}}\right| = \begin{cases} 2^{N_1-1} & i \neq k \\ 0 & i = k \end{cases}$$

(25-2)

$$\left|S_{a_{k,i}}\right| = \begin{cases} 0 & i \neq k \\ j & i = k \end{cases}$$

در روابط بالا k و i بین 2N1 -1 و j و l بین 1 و 2N2 -1 تغییر می کنند.

رابط (2 -25)، نشان می دهد که اگر چه وجود بهره طبقه فولدینگ ایده آل حساسیت به مراجع طبقه دوم مبدل فلاش را به نسبت a0 کاهش داده است، ولی دامنه تاثیر خطا در مراجع طبقه دوم به نسبت یک فلاش معمولی افزایش یافته است. به عبارت دیگر خطا در یکی از مراجع یک فلاش معمولی تنها روی یک کد خروجی تاثیر می گذارد در حالیکه همان میزان خطا در یکی از مراجع فلاش بعد از فولدینگ 2N2 کد خروجی را با خطایی به نسبت 1/a0 کمتر مواجه می سازد. در مورد مبدل فولدینگ غیرایده آل، بجای یک مبدل دو طبقه با تعدادی مبدل یک طبقه موازی سروکار داریم که هر یک تعدادی از 2N2 تغییر حالت های لازم را استخراج می کنند . برای این مبدل ضرایب حساسیت مطابق روابط زیر خواهد بود

(26-2)

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

$$\left|S_{ref_{k,i}}\right| = \begin{cases} 0 & i \neq k \\ 1 & i = k \end{cases}$$

(27-2)

$$\left|S_{a_{k,i}}\right| = \begin{cases} 0 & i \neq k \\ 1 & i = k \end{cases}$$

(28-2)

$$\left|S_{L_{k,i}}\right| = \begin{cases} 2^{N_1-1} & i \neq k \\ 1 & i = k \end{cases}$$

در روابط بالا n=i.2N1+j است که برای هر یک از مبدل های موازی j عدد ثابتی است.

در مورد رابطه(2-27) ، ذکر این نکته لازم است که در مواردی که ورودی و مرجع ابتدا از یکدیگر کم شوند وسپس تقویت شوند و مقدار تقویت شده با صفر مقایسه شود که معمولاً در عمل چنین است ، حساسیت به شیب تقویت صفر خواهد بود .همچنین رابطه(2-28)، با بدست آمده است و با افزایش a0 حساسیت کاهش می یابد.

(29-2)

$$a_0 = \frac{2^{N_2} L}{R}$$

۲-۱۱ مقایسه ساختارها

از این بررسی و نتایج جدول (۲-۱)، می توان نتیجه گرفت ساختارفولدینگ، با درون یابی هشت از نظر پیچیدگی و حساسیت در بین ساختارهای دیگر جزو گزینه های نخست است .در نظر گرفتن ملاحظات دیگری مثل سرعت و تاخیر نیز این انتخاب را تایید می کند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

جدول ۲ - ۱ مقایسه مبدل های موازی از نظر پیچیدگی و حساسیت

ساختار	تعداد مقایسه کننده ها	تعداد گره های خطی	حداکثر اتصالات به خروجی گره خطی	حداکثر اتصالات به گره ورودی	حداکثر حساسیت به مراجع	حداکثر حساسیت به شیب	حداکثر حساسیت به مقادیر اشباع	حداکثر حساسیت به ضریب درون یابی	حساسیت به مرجع مقایسه گر
فلاش	۲۵۵	صفر	صفر	۲۵۵	۱	–	–	–	۱
فلاش با درون یابی	۲۵۵	۳۳	۷۱۵	۳۳	۱	۲	–	۸	1/a
فولدینگ ایده آل F=8	٤۰	۸	۳۲	۸	۱	۳۲	۱٦	–	1/a
فولدینگ $N_1=5$ $N_2=3$	٤۰	۲٥٦	۱	۲٥۹	۱	۱۱۰	۱٦	–	1/a
فولدینگ با درون یابی ۸	٤۰	۳۲	۱٥	۳٥	۱	۲	۱٦	۸	1/a
مرجع یکسان	۸	۱۲۸	۸	۱۲۸	صفر	٥۱۰	٥۱۲	–	1/a
شیب یکسان با خروجی گری	۸	۱۲۸	۸	۱۲۸	۱	۱	۱	–	1/a
موازی بامسیر مستقیم ورودی به خروجی	۸	۱۷	۱	۱۳٤	۱	صفر	صفر	–	1/a

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل سوم:
مبدل آنالوگ به دیجیتال فولدینگ بادرون یابی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

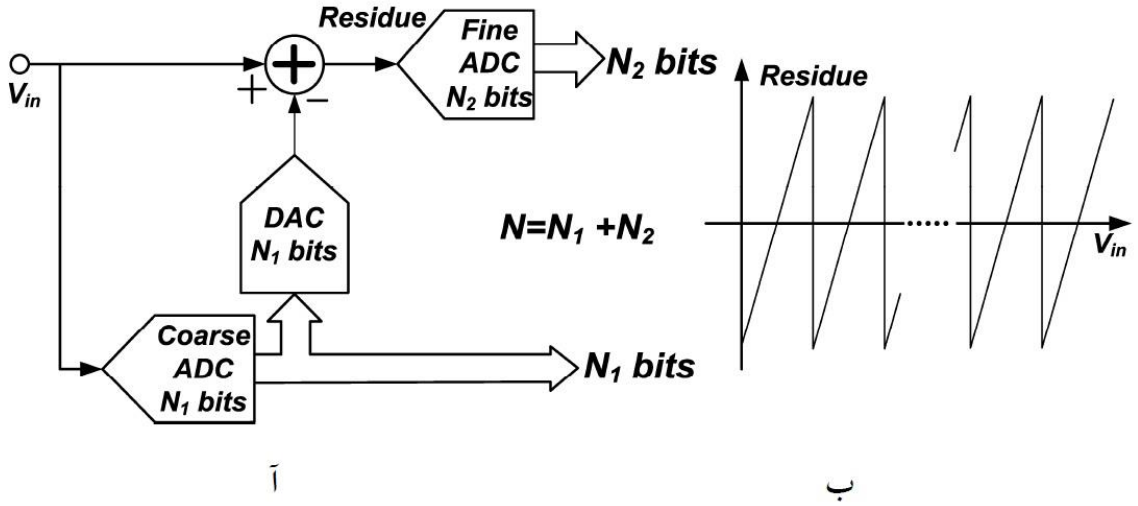
۳-۱ مقدمه

استفاده از مبدل های فولدینگ با درون یابی یک روش موثر برای تبدیل سیگنال هایی با پهنای باند زیاد به دیجیتال با درجه تفکیک یک متوسط است .در مقایسه با ساختار کاملا موازی مبدل فلاش، این مبدل ها تعداد مقایسه کننده کمتری دارند و در عین حال مزایای مبدل فلاش مثل سرعت بالا و تاخیر کم در آنها حفظ شده است. به دلیل کم شدن مقایسه کننده ها در ساختار فولدینگ، این ساختار انتخاب مناسبی برای طراحی مبدل مورد نظر در این پژوهش با توان مصرفی پایین، دقت متوسط و سرعت بالا به شمار می رود . کاهش تعداد مقایسه کننده ها از طریق استفاده از تقویت کننده های فولدینگ (دو یا" تا کننده ها) ، امکان پذیر می گردد . و استفاده از روش درون یابی تعداد این تقویت کننده را پایین نگاه می دارد . اگرچه مبدل های فولدینگ در ابتدا با تکنولوژی دو قطبی سه ساخته شدند[42][41]، امروزه اغلب مبدل های فولدینگ گزارش شده از تکنولوژی (CMOS یا BiCMOS) بهره می گیرند.[47],[46],[45],[44],[43].

۳-۲ مفهوم فولدینگ

ایده اصلی برای استفاده از روش فولدینگ این است که شکستن یک تبدیل N بیتی به دو تبدیل1 N بیتی و N2بیتی بصورتیکه N1+N2=N باشد، مزایایی را به دنبال خواهد داشت . در مبدل های دو مرحله ای این کار به این ترتیب انجام می شود که در مرحله اول یک مبدل درشت گام یک سیگنال آنالوگ را با دقت N1 بیت کوانتیزه می کند و در مرحله بعد سیگنال کوانتیزه شده دوباره به آنالوگ تبدیل شده و از سیگنال اصلی کم می شود و حاصل تفریق یا سیگنال باقیمانده ۲توسط مبدل ریز گام سه با دقت N2 بیت کوانتیزه می گردد . شکل (۳ – ۱ - ب) ، در نهایت، مجموع پیچیدگی در مبدل N1 بیتی و N2 بیتی از یک مبدل N بیتی کمتر است، ولی در عین حال بلوک های مبدل دیجیتال به آنالوگ و تفریق کننده بر این پیچیدگی می افزایند.

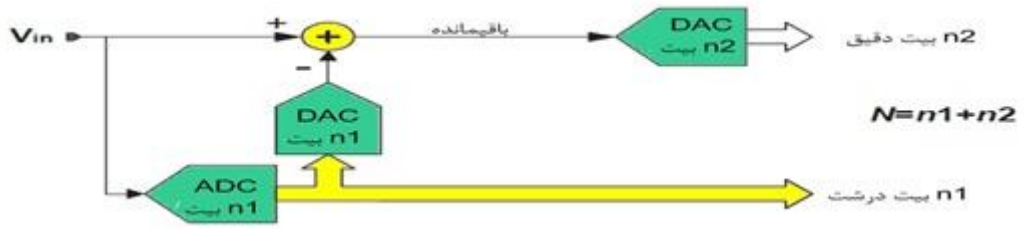
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



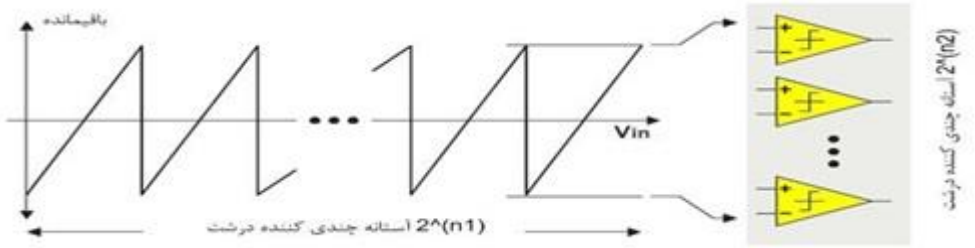
شکل ۳ - ۱ آ) بلوک دیاگرام مبدل دو مرحله ای ب) شکل سیگنال باقیمانده

مبدل های دو مرحله ای برای رسیدن به کارایی بالاتر ، به جای یک چندی کننده N بیتی از دو چندی کننده با قدرت تفکیک پایین تر استفاده می کنند . در این مبدل ها شکل(۳-۲ –الف)، یک چندی کننده درشت n_1 بیتی سیگنال ورودی را با قدرت تفکیک پایین ،رقمی می کند و کد کلمه نتیجه را به DAC بازسازی کننده می دهد . خروجی آنالوگ حاصل از DAC به یک تفریق گر می رود تا از سیگنال ورودی اصلی کم شود و سیگنال باقیمانده شکل (۳-۲ – ب) ، ساخته شود سپس باقیمانده با یک چندی کننده n_2 بیتی رقمی می شود . امتیاز این شیوه این است که پیچیدگی ترکیب دو چندی کننده با قدرت تفکیک n_1 و n_2 به مراتب کمتر از پیچیدگی یک چندی کننده با قدرت فکیک N بیت است .هدف مبدل فولدینگ ،ایجاد سیگنال باقیمانده با استفاده از یک مدار آنالوگ است بدون نیاز به استفاده از چندی کننده درشت ،DAC و همینطور تفریق گر . در چنین پیاده سازیی شکل (۳- ۳- الف) ،سیگنال باقیمانده با محدوده دینامیکی کم که توسط مدارفولدینگ آنالوگ ساخته شده است ،مستقیما به چندی کننده دقیق داده می شود . به دلیل طبیعت تناوبی بودن سیگنال باقیمانده ،خروجی رقمی شده چندی کننده دقیق دارای ابهام است و نیاز به یک چندی کننده درشت احساس می شود تا مشخص کند ورودی چندی کننده در کدام تناوب تابع انتقال مدار فولدینگ قرار دارد . مشخصه تابع ورودی–خروجی فولدینگ می توانند با تعداد قسمت های تکه ای پیوسته که شامل می شود ، بیان شود .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

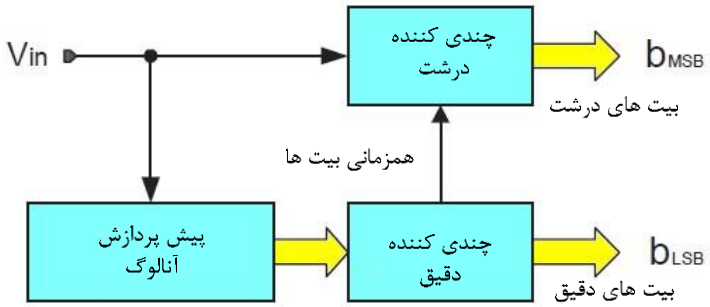


شکل آ ۳-۲ بلوگ دیاگرام مبدل A/D دو مرحله ای



شکل ب ۳-۲ قواعد اولیه مبدل A/D دو مرحله ای

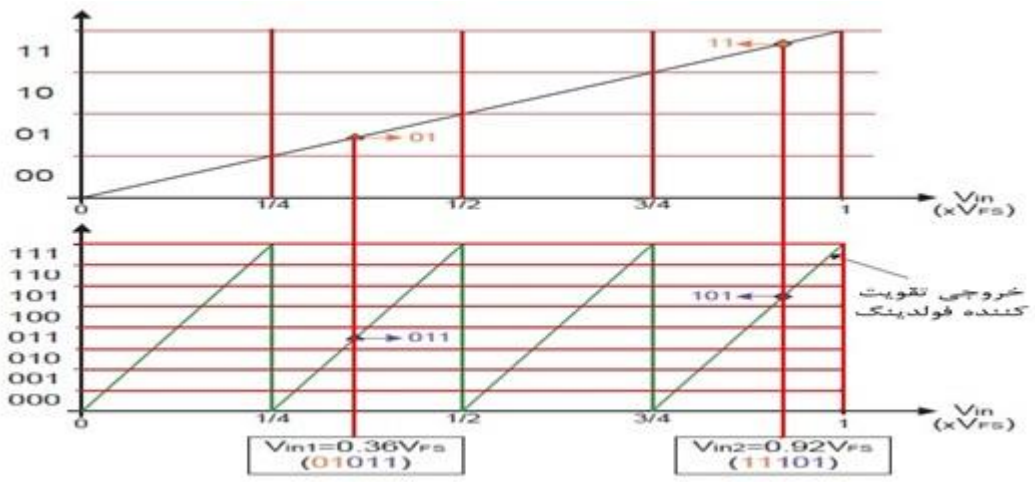
ایده روش فولدینگ شبیه به مبدل های دو مرحله ای است در هر دو از دو چندی کننده با قدرت تفکیک پایین تر برای ساخت یک چندی کننده با قدرت تفکیک بالا تر استفاده می شود . به هر حال در مبدل های فولدینگ از یک پیش پردازش آنالوگ به منظور ایجاد سیگنال باقیمانده استفاده می شود و در همین زمان(MSBs)، توسط چندی کننده درشت ساخته می شود . همچنین چندی کننده درشت مشخص می کند که ورودی در کدام قسمت تقویت کننده فولدینگ قرار دارد . قدرت تفکیک مجموع در مبدل های فولدینگ برابر $N_B=n_{MSB}+n_{LSB}$ که در آن n_{MSB} و n_{LSB} قدرت تفکیک های چندی کننده های درشت و دقیق هستند



.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

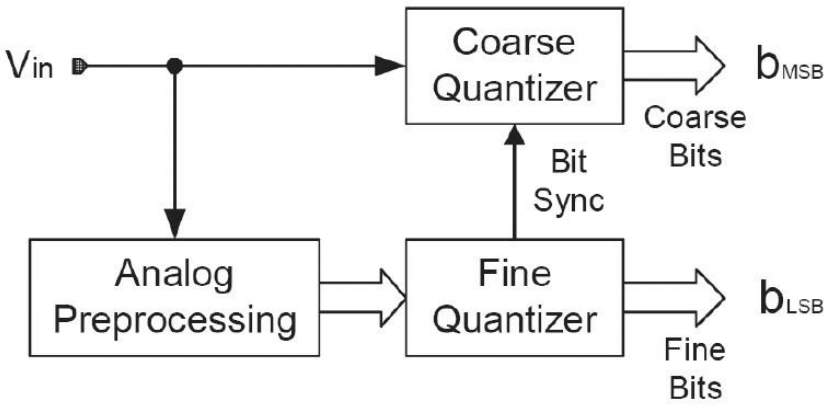
شکل ۳-۳ آ بلوک دیاگرام نمونه ۵ بیتی



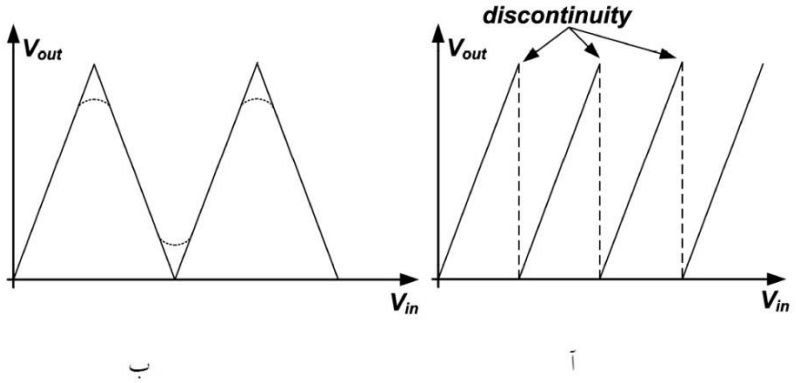
شکل ۳-۳ ب تولید بیت های درشت و دقیق

.در روش فولدینگ سیگنال باقیمانده با استفاده از مدارهای آنالوگ ساخته می شود و نیاز به مبدل دیجیتال به آنالوگ و تفریق کننده را برطرف می سازد. بلوک دیاگرام کلی روش فولدینگ در شکل (۳ -۴) ، دیده می شود .سیگنال باقیمانده تولید شده توسط بلوک پیش پردازش آنالوگ مستقیماً به مبدل ریزگام اعمال می شود .با توجه به ماهیت تکرار شونده سیگنال باقیمانده، خروجی دیجیتال مبدل ریزگام نسبت به ورودی یک به یک نیست و برای تفکیک کدهای مشابه به مبدل درشت گام نیاز داریم. به عبارت دیگر مبدل درشت گام N2 بیتی مشخص می کند سیگنال ورودی در کدام یک از 2N2 زیر ناحیه قرار دارد و مبدل ریزگام در هر زیرناحیه N1 بیت استخراج می کند .یک مزیت دیگر روش فولدینگ نسبت به روش دو مرحله ای این است که مبدل درشت گام و ریزگام در یک زمان و بصورت موازی عمل تبدیل را انجام می دهند. در مقایسه با مبدل فلاش ، علاوه بر کاهش تعداد مقایسه کننده ها از (2N-1 به 2N2+2N1-1) امکان در نظر گرفتن بهره در پیش پردازشگر آنالوگ نیز وجود دارد که این امر حساسیت به خطا افست مقایسه کننده را کاهش می دهد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳ - ٤ بلوک دیاگرام یک مبدل فولدینگ



شکل ۳ - ۵ آ (مشخصه دندانه اره ای ب(شکل ۳-۵ (مشخصه مثلثی

در روش فولدینگ سیگنال باقیمانده با استفاده از مدارهای آنالوگ و از یک ADC ۵ بیتی (شکل ۳-۳- ب).[48]. به عنوان نمونه برای توصیف ایده اساسی مبدل های F & I استفاده شده ساخته می شود و نیاز به مبدل دیجیتال به آنالوگ و تفریق کننده را برطرف می سازد. در شکل(۳-۵- الف) ، شکل دندان اره ای تابع انتقال یک تقویت کننده فولدینگ چهارتایی نشان داده شده است . در طی تغییرات ورودی به اندازه محدوده کامل خروجی ۴ مرتبه تکرار می شود . بنابراین در مقایسه گر مبدل ،۴ نقطه عبور از صفر آشکار می شود در حالی که در مقایسه گر مبدل flash تنها یکی وجود دارد.

۳-۳ پیاده سازی مشخصه فولدینگ

۳-۳-۱پیاده سازی مشخصه فولدینگ ایده آل

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

مسئله عمده ای که در پیاده سازی مشخصه خطی اشباع شونده مطابق شکل (۱ -۲ -آ) وجود دارد، آن است که درمدارهایی که در عمل دارای مشخصه خطی اشباع شونده هستند معمولاً در نزدیکی مرز اشباع مشخصه از حالت خطی خارج می شود و به عبارت دیگر پدیده اشباع به تدریج و نه در یک نقطه اتفاق می افتد.این امر باعث می شود شکل موج مثلثی شکل (۳ -۵ -ب)به یک شکل شبه سینوسی که در همان شکل با نقطه چین مشخص شده است . تبدیل شود .با استفاده از ضرایب حساسیت محاسبه شده دررابطه (۲ -۱۳) اگر میزان غیرخطی بودن به اندازه ای باشد که در نقطه شکست خروجی به جایL مقدار (L-ΔL) را داشته باشد، تغییر حالت خروجی از xn0 به اندازه Δx جابجا می شود.

(1-3)

$$\Delta x = \frac{\Delta L}{a} = \frac{\Delta L}{2^{N_2}} \frac{R}{L}$$

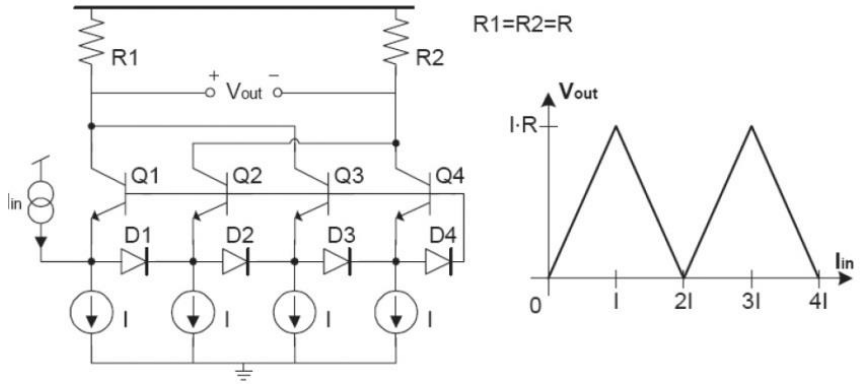
در این رابطه 2R محدوده ورودی، L مقدار اشباع و a شیب مشخصه است. با محاسبات مشابه مبحث حساسیت، می توان خطای INL ناشی از افت بهره را بصورت زیر بدست آورد.

(2-3)

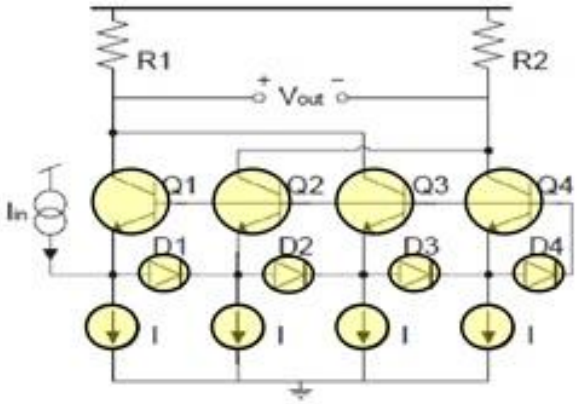
$$INL = \frac{\Delta x}{x} = \frac{\Delta L}{L} . 2^{N_1 - 1}$$

از رابطه بالا مشخص است چنانچه بخواهیم خطای خروجی ناشی از این عامل از LSB۵ بیشترنشود، انحراف خروجی نسبت به مقدار ایده آل نباید از2N1 R بیشتر شود.یکی از روشهای ارائه شده برای پیاده سازی مشخصه فولدینگ ایده آل در شکل (۶ -۳) ، دیده می شود.[49] ، این پیاده سازی با فرض ورودی جریان و خروجی ولتاژ انجام شده است و در آن جریان های مرجع I از ورودی کم می شود .تا جایی که جریان ورودی به هر سلول از I کمتر است، مقدار باقی مانده تا I توسط ترانزیستور تامین می شود و با گذشتن از مقدار I، اضافه جریان از طریق دیود به سلول بعدی انتقال می یابد.

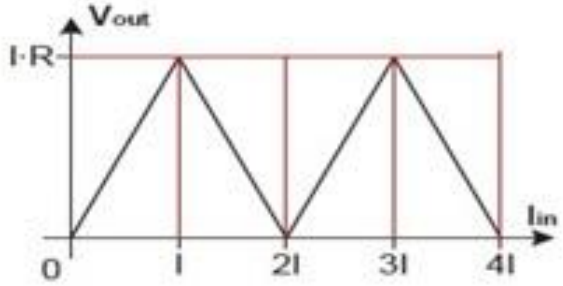
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳ - ٦ پیاده سازي مشخصه فولدینگ با دیود و ترانزیستور



شکل ۳-۷ شماتیک مداری فولدینگ خطی بر اساس دیود



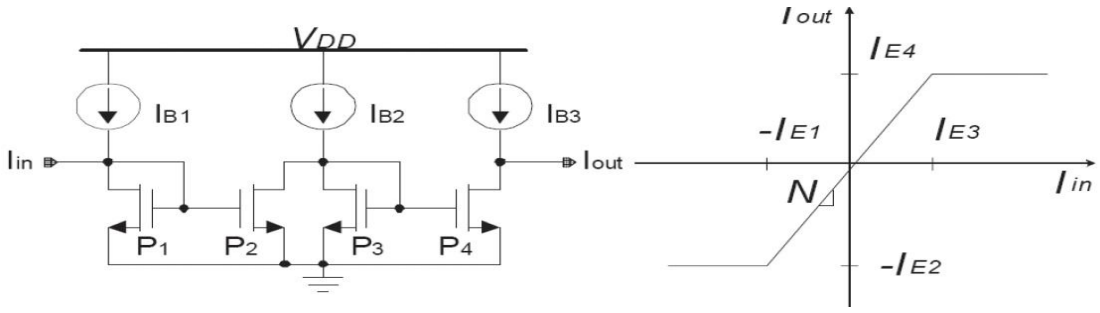
شکل(۳-۷ ب)، مشخصه انتقال

تعریف پایه ای یک تقویت کننده فولدینگ ۴ تایی بر اساس دیود در شکل(۳-۷) آمده است . سیگنال ورودی به شکل جریان است که با ۴ مرجع جریان I مقایسه می شود . کلکتور ترانزیستورهای فرد بیس مشترک به هم متصل شده اند و ترانزیستورهای زوج هم به همین شکل هستند . اگر جریان ورودی 0 باشد

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

جریان I در Q_1,Q_3 و Q_2,Q_4 بر قرار می شود که در نتیجه جریان I ۲ در مقاومت های بار ایجاد می شود . بنابر این ولتاژ خروجی تفاضلی 0 خواهد بود . اگر جریان ورودی مثبت را برابر I۱.۵ در نظر بگیریم ،این جریان از جریان مرجع که در Q_1 جریان دارد کم می شود . تفاوت جریان که 0.5I است دیود D_1 را بایاس مستقیم می کند و سپس از جریان مرجع I که در Q_2 جریان دارد کم می شود در نتیجه جریان 0.5I در Q_2 خواهیم داشت . بنابر این جریان R_1 تا I و جریان R_2 تا I ۱.۵ کاهش می یابد . بنابراین ولتاژ خروجی تفاضلی 0.5IR خواهد بود .این توپولوژی ،شکل موج مثلثی را به خوبی تقریب می زند ولی این نکته را باید در نظر گرفت که احتیاج به ورودی با سوئینگ بالا دارد . به علت افت ولتاژ نسبتا بالا روی دیود ها این شیوه برای طرح های ولتاژ پایین مناسب نمی باشد . برای مثال برای پیاده سازی یک تقویت کننده فولدینگ ۸ تایی این افت ولتاژ در مجموع برابر $8v_D=8x0.7=5.6^v$ خواهد بود .

در این صورت ولتاژ منبع تغذیه باید بالا تر از ۶.۵ ولت باشد که قابل قبول نیست . بعلاوه این پیاده سازی جریان بالایی در مد مشترک ایجاد می کند که بلا استفاده است . در موارد عملی با توجه به محدودیت ولتاژ منبه تغذیه ،این مورد مد مشترک موجب ایجاد مشکل می شود . چنانچه منابع جریان بکار رفته امپدانس خروجی بالایی داشته باشند، مشخصه ایده آل با تقریب خوبی قابل پیاده سازی است ولی ایراد اساسی آن نیاز به سوینگ ۱ زیاد در ورودی به علت افت ولتاژ روی دیودها است که عملاً پیاده سازی آن را در رژیم های ولتاژ پایین ناممکن می سازد. یکی دیگر از راه های پیاده سازی مشخصه خطی اشباع شونده استفاده از آیینه های جریان برای ساختن شیب های مختلف از جمله شیب واحداستفاده از منابع جریان با امپدانس بالا برای ساختن مراجع و اتصال مسیرها برای ساختن جمع کننده است. شکل (۳ -۸) برای بالا بردن امپدانس خروجی منابع و آیینه های جریان می توان از ترانزیستورهای کسکود و یا ازتکنیک استفاده از آپ امپ در حلقه فیدبک استفاده کرد.[50] .



شکل ۳ - ۸ ساختن مشخصه خطی اشباع شونده با سیگنال های جریانی

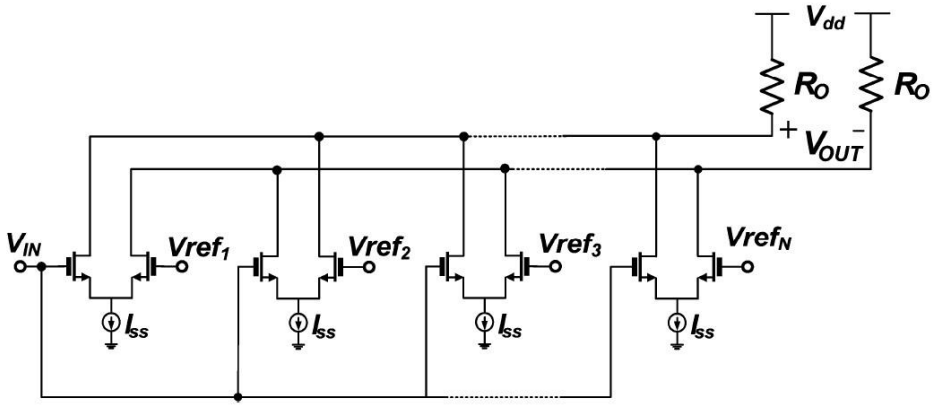
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

هرچند دقت این روش را با تکنیک های بالا و نیز با افزایش طول و عرض کانال ترانزیستورها می توان افزایش داد، سرعت عملکرد آن محدود است .آیینه های جریان معمولاً پهنای باند قابل قبولی دارند ولی در این ساختار در زمان هایی مقدار جریان یک گره به صفر می رسد که این امر زمان شارژ و دشارژ خازن آن گره را به میزان غیرقابل قبولی افزایش می دهد .مخصوصاً که برای رسیدن به دقت قابل قبول بخصوص در مورد نسبت تبدیل آیینه های جریان سطح ترانزیستورها باید بزرگ در نظرگرفته شود که به افزایش خازن گره ها منجر می گردد .یک راه برای مقابله با کاهش سرعت این است که جریان ثابتی را به گره ها تزریق کرد و به عبارت دیگر مشخصه را بصورتی شیفت داد که جریان هیچ گره ای به صفر نرسد که البته این راه به قیمت افزایش توان مصرفی تمام خواهد شد.در مجموع، محدودیت های پیاده سازی مشخصه ایده آل باعث شده تا مبدل های فولدینگ در جهت تغییر ساختار به صورتی که حساسیت به دقت شیب کاهش یابد، حرکت کنند.

۳-۳-۲ پیاده سازی مشخصه فولدینگ غیر ایده آل

در مبدل های فولدینگ عملی معمولاً از یک زوج دیفرانسیل برای پیاده سازی مشخصه خطی اشباع شونده استفاده می شود .جریان های خروجی زوج های مختلف براحتی می توانند در جهت های مختلف مثبت یا منفی با یکدیگر جمع شوند و شیفت مشخصه ها با تغییر ولتاژ مرجع اعمال شده به یک ورودی هر زوج دیفرانسیل انجام می شود یک ورودی دیگر همه زوجها به ورودی وصل می شود. شکل (۳-۹) چنانچه تعداد زوجهای دیفرانسیل زوج باشند، جریان خروجی بین صفر و 2.ISS تغییر می کند .به عبارت دیگر مشخصه خروجی یکطرفه خواهد بود .اضافه کردن یک زوج دیفرانسیل در اینحالت باعث می شود مشخصه بصورت دو طرفه بین ± ISS درآید.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

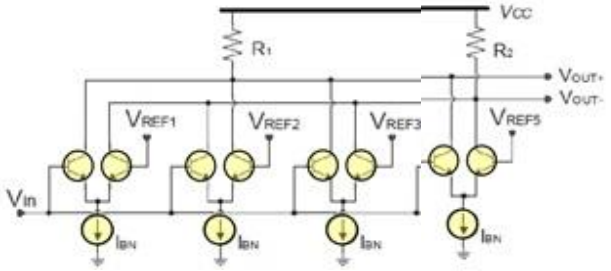


شکل ۳ - ۹ یک بلوک فولدینگ عملی با مشخصه غیرایده آل

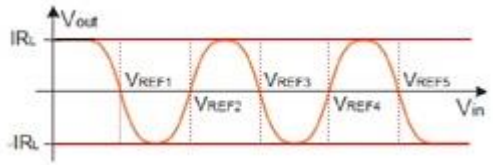
از آنجا که تعداد زوج های دیفرانسیل مورد نیاز به عدد ضریب فولدینگ و زوج است، ولتاژ مرجع این زوج کمکی می تواند خارج از محدوده اصلی در نظر گرفته شود و یا هر دو ورودی آن به دو ولتاژ مرجع دور از یکدیگر وصل شود که عملاً به معنی کم کردن یک ISS ثابت از مشخصه یکطرفه خروجی است. مدار فوق از کاستی هایی همچون مولفه مشترک خروجی با دامنه بزرگ نسبت به دامنه سیگنال تفاضلی، خازن بزرگ گره های خروجی و موارد دیگر که در دنباله به آنها اشاره خواهد شد برخوردار است .ولی پیش از پرداختن به این جنبه های مداری باید به مسئله مهم تر غیرخطی بودن مشخصه پرداخته شود. در عمل قسمت میانی مشخصه زوج دیفرانسیل را علی رغم آنکه کل مشخصه چه تابعی دارد درجه دو یا تانژانت هیپربولیک 51] [، با تقریب خوبی می توان خطی در نظر گرفت .بنابراین اگر بجای پوشش دادن یک زیر محدوده با یک زوج دیفرانسیل آنرا با چند زوج دیفرانسیل پوشش دهیم، این امکان بوجود می آید که فقط از قسمت های خطی هر زوج استفاده کنیم . تقویت کننده فولدینگ که درشکل(۳-۱۰-الف)، نشان داده شده است بر اساس زوج تفاضلی دو قطبی است که با استفاده از تابع انتقال تانژانت هیپربولیک می تواند شکل سینوسی را تقریب زند . سیگنال ورودی که زیاد می شود ابتدا از آستانه ترانزیستور سمت چپ می گذرد که در این لحظه گذار خروجی آن از زیاد به کم است . با افزایش بیشتر سیگنال ورودی و با نزدیک شدن به مقدار مرجع دومین تقویت کننده ،در این حالت با حفظ پلاریته باعث تغییر خروجی از کم به زیاد می شود . در لحظاتی که سیگنال ورودی به ترانزیستور سمت راست می رسد مقایسه گر دوباره از بالا به پایین می رود . رفتار توضیح داده شده در اینجا در شکل(۳ -۱۰-ب) ، آمده است . در حین اینکه ورودی افزایش می یابد ولتاژ خروجی بالا می رود ، پایین می آید و دوباره بالا می رود بنابراین طبیعت این تکنیک نشان داده شده است . با انتخاب مناسب اختلاف های ولتاژ های مرجع می توان یک خصوصیت انتقال سینوسی به وجود

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

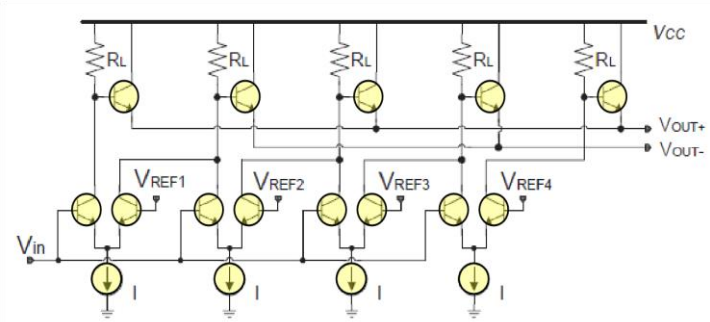
آورد . مدار شکل (۳ -۱۰ –الف) ، دارای چندین مشکل است . ورودی یکطرفه است بنابر این جریان های بایاسی که در زوج های تفاضلی مدار فولدینگ جریان پیدا می کنند ولتاژ مرجع را دچار مشکل می کنند و این باعث تغییر شکل سینوسی مورد نظر می شود . بعلاوه جریان خروجی مدار فولدینگ دارای یک جزء بزرگ مد مشترک از یک جزکوچک تفاضلی است . و در نهایت اگر چندین فولد داشته باشیم بنابراین به همان میزان احتیاج به زوج تفاضلی داریم و افزایش این تعداد باعث افزایش ظرفیت خازنی در خروجی مدار فولدینگ می شود که موجب افزایش زمان نشست می شود .



شکل ۳-۱۰ الف تقویت کننده فولدینگ بر اساس مشخصه ولتاژ تانژات هیپربولیک ساخته شده توسط زوج تفاضلی

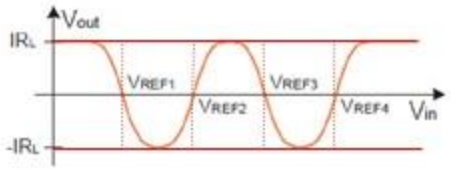


شکل ۳-۱۰ ب مشخصه انتقال



دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۳-۱۱ الف تقویت کننده فولدینگ سیمی در اتصالات داخلی



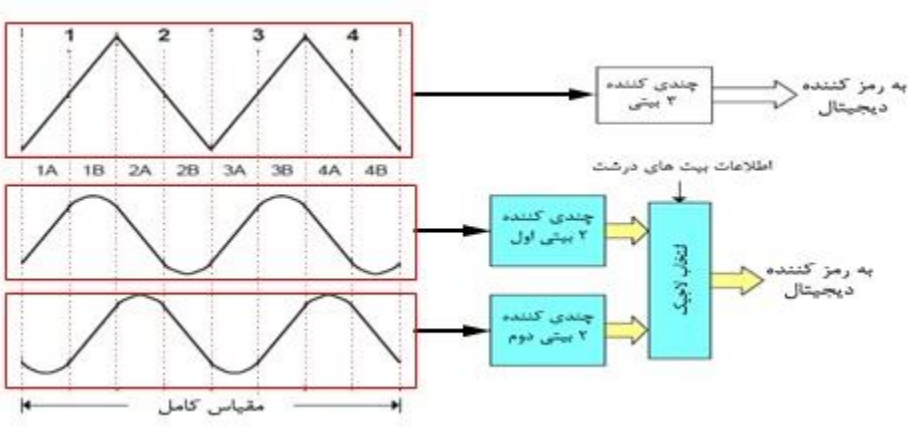
شکل ۳-۱۱ ب مشخصه انتقال

برخی از این مشکلات با استفاده از مدار نشان داده شده در شکل(۳-۱۱- الف) حل می شود ،که در آن از یک(wired or) در خروجی زوج تفاضلی استفاده شده است تا سیگنال خروجی مد مشترک را کاهش دهد و همینطور نقش بافری داشته باشد . این مدار هنوز مشکل اثرات تداخل آستانه که مربوط به یکطرفه بودن مرجع است وجود دارد . برای از بین بردن خطا باید از ساختار کاملا تفاضلی استفاده شود .

۳-٤ فولدینگ دوبل

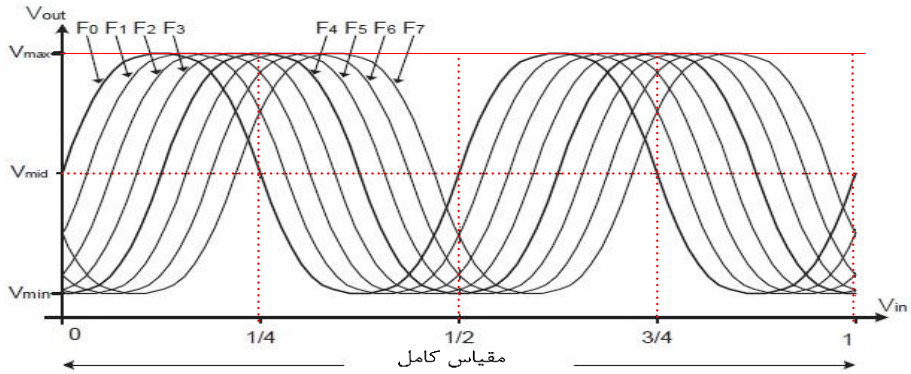
باید توجه شود که بالای شکل موج مدار شکل های (۳-۱۰- ب و ۳-۱۱- ب)گرد است .اگر ما شکل (۳-۱۲) را در نظر بگیریم این قضیه مشکلی به وجود نمی آورد . فولدینگ دوبل به این منظور مورد استفاده قرار می گیرد که مشکل غیر خطی بودن مدار فولدینگ را حل کند . در اینجا در یک سیستم فولدینگ ساده ورودی محدوده کامل به چهار قسمت تقسیم می شود و هر قسمت نیز با ۳ بیت رقمی می شود . در سیستم فولدینگ دوبل محدوده کامل ورودی به ۸ قسمت تقسیم می شود و هر کدام از دو چندی کننده ۴ قسمت را رقمی می کنند به این صورت که چندی کننده اول قسمت های 1A-4A را رقمی می کند و 1B-4B بر عهده چندی کننده ۲ است . بلوک انتخاب لاجیک همیشه خروجی چندی کننده ای را انتخاب می کند که تقویت کننده فولدینگ آن در ناحیه خطی قرار دارد . اگر یکی از سیگنال های فولدینگ در ناحیه غیر خطی قرار داشته باشد دیگری در ناحیه خطی خود قرار دارد و همینطور بر عکس . بنابر این به جای استفاده از یک سیگنال فولدینگ مناسب و ۸ سطح آشکارسازی که توسط چندی کننده ۳ بیتی انجام می شود ،می توان از ۲ سیگنال فولدینگ و آشکارسازی ۴ سطح برای آن استفاده کرد .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳-۱۲ مقایسه سیستم فولدینگ تکی و دوبل

نیاز تقویت کننده فولدینگ به محدوده خطی با استفاده از روش فولدینگ دوبل تا نصف کاهش می یابد . در ADC ۵ بیتی ساده نشان داده در شکل(۳-۳) محدوده خطی تقویت کننده فولدینگ باید بتواند ۲ گام چندی کننده (LSB) را پوشش دهد . در حالی که در حالتی که از فولدینگ دوبل استفاده می شود ،محدوده خطی بودن هر تقویت کننده فولدینگ باید بتواند 2^2 گام چندی کننده (LSB) را پوشش دهد . بنابراین می توان این روش را تا استفاده از ۴ سیگنال فولدینگ با آشکارسازی تنها یک سطح برای هر سیگنال توسعه داد . حال چندی کننده دقیق شکل (۳-۳) را در نظر می گیریم ،اگر از ۴ تقویت کننده فولدینگ استفاده کنیم . مطمئنا قدرت تفکیک چندی کننده های این تقویت کننده ها ۱ بیت خواهد بود و چندی کننده به یک مقایسه گر ساده تقلیل پیدا می کند .



دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۳-۱۳ تولید ۲۳ نقطه گذار از صفر توسط ۸ سیگنال فولدینگ در مبدل ۵ بیتی

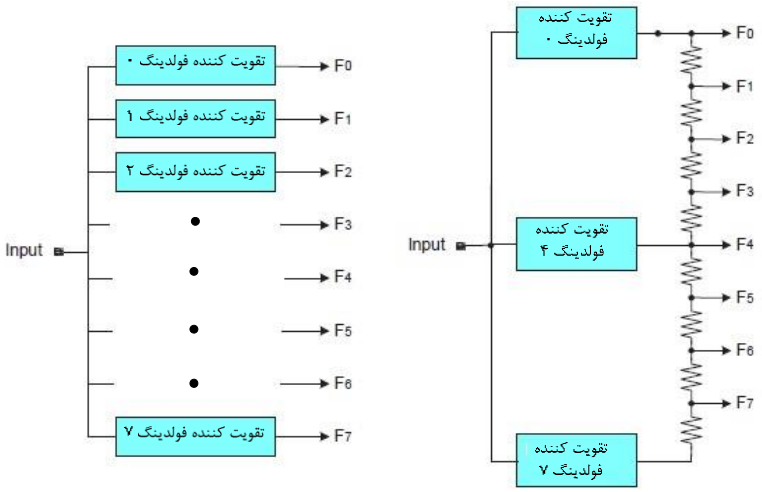
شکل (۳-۱۳) تمام شکل موج های یک سیستم با ۸ تقویت کننده فولدینگ را نشان می دهد . این ۸ شکل موج فولدینگ ،۲۳ (۵ بیت) نقطه گذار از صفر با فاصله مساوی را در طی ورودی محدوده کامل تولید می کنند . بنابراین خطی بودن هر شکل موج فولدینگ دیگر خیلی حیاتی نیست . تنها موقعیت نقاط گذار از صفر در اهمیت است که بر خطی بودن مبدل فولدینگ تاثیر می گذارد . برای ADC فولدینگ نمونه ای که در شکل(۳-۱۳) آمده است ،تعداد مقایسه گرهای آشکارساز گذار از صفر ۸ تا چندی کننده دقیق می باشد و ۳ تا هم برای چندی کننده درشت . یک مبدل فلش ۵ بیتی نیاز به ۱۳ مقایسه کننده دارد . در حال حاضر مشکل این است که تولید ۸ سیگنال فولدینگ با 8*5 زوج تفاضلی بسیار مشکل تر از مبدل فلش است . می توان با استفاده از درونیابی این مشکل را نیز حل کرد .

۳-۵ درون یابی

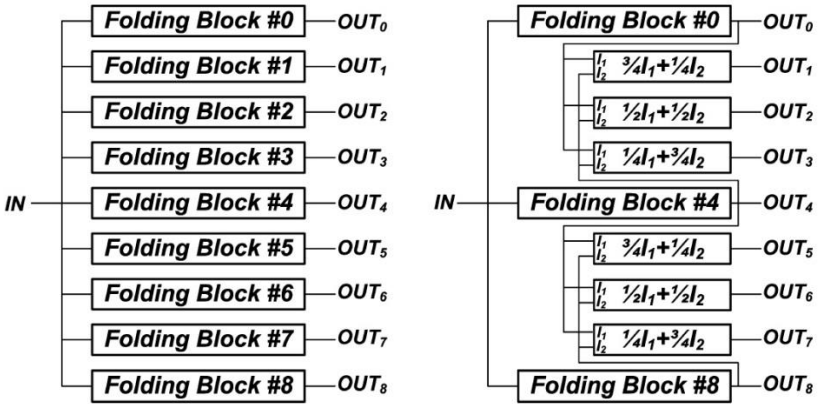
پیاده سازی ساختار فولدینگ به گونه ای که در بالا توضیح داده شد با توجه به تعداد زیاد زوج های دیفرانسیل چنان توان مصرفی و سطح مدار را افزایش می دهد که در عمل به ندرت ممکن است مورد استفاده قرار گیرد .از این رو تعداد قابل توجهی از شکل موجهای فولدینگ موازی مورد نیاز از طریق درون یابی از چند سیگنال تولید شده ساخته می شوند.[52]

ساده ترین راه برای تولید ۸ شکل موج فولدینگ نشان داده شده در شکل(۳ -۱۴ -الف) ، استفاده از ۸ تقویت کننده فولدینگ می باشد . اما این کار به دلیل ملاحظات هزینه ای (سطح اشغالی و توان مصرفی)، عملا انجام نمی شود . در حالی که می توان از درونیابی به منظور تولبد تعداد زیادی سیگنال فولدینگ استفاده کرد . ADC های فولدینگ که از درون یابی استفاده می کنند در اصطلاح درون یاب و فولدینگ . گفته می شوند. (folding & interpolating)، شکل (۳ -۱۴-ب)، قواعد استفاده از درون یابی را نشان می دهد . سه تقویت کننده فولدینگ سه سیگنال فولدینگ ایجاد می کند که با همدیگر اختلاف های مساوی دارند . درشکل (۳-۱۴-ب)، ۶ سیگنال فولدینگ اضافی توسط نردبان مقاومتی ساخته می شود . که در نهایت ۸ سیگنال فولدینگ ساخته می شود .شکل (۳ -۱۵)، اصول روش درون یابی را نشان می دهد .سه بلوک فولدینگ اصلی سه شکل موج شبه سینوسی می سازند و شش شکل موج دیگر با استفاده از تقسیم مقاومتی از این سه سیگنال ساخته می شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳-۱٤ راههای تولید چندین سیگنال فولدینگ الف فولدینگ تنها . ب فولدینگ و درون یابی



شکل ۳-۱۵ اصول روش درون یابی

روش درون یابی در عمل با دو مسئله جانبی همراه خواهد بود .نخست آنکه می توان نشان داد شرط آنکه سیگنال های ساخته شده با روش درون یابی دقیقاً مشابه سیگنال های اصلی حذف شده باشند . حد اقل در محدوده عبور از صفر آن است که شیب سیگنال های مورد استفاده برای درون یابی ثابت باشد یا تغییرات به گونه ای باشد که تغییرات دیگری را جبران کند. در عمل با توجه به افت بهره در دو انتهای مشخصه زوج

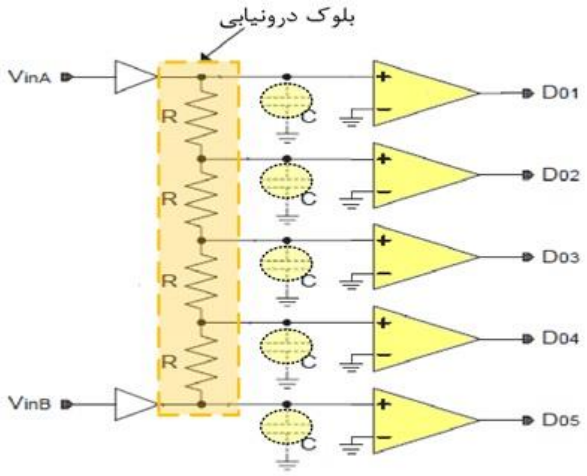
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

های دیفرانسیل، درون یابی دراین نواحی باعث جابجا شدن برخی از محل های عبور از صفر سیگنال های خروجی شبکه درون یابی می شود که میزان این خطا به میزان انحراف شیب و نیز ضریب درون یابی بستگی دارد[53] . .همچنین برای اینکه درون یابی در این دو بخش با دقت قابل قبول صورت گیرد، لازم است در خارج از محدوده نیز سیگنال های اصلی امتداد داشته باشند .این کار از طریق اضافه کردن ضریب فولدینگ به عبارت دیگر اضافه کردن دو زوج دیفرانسیل در انتهای هر بلوک فولدینگ صورت می گیرد.

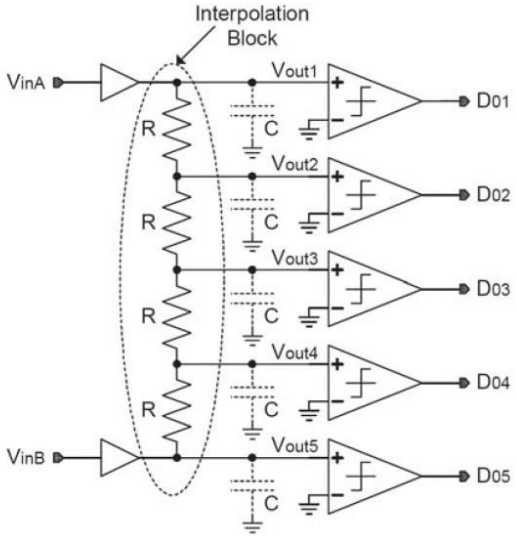
۳-۵-۱ درون یابی ولتاژی

معمول ترین درونیابی بر اساس تقسیم ولتاژ مقاومتی است (شکل ۳-۱۶) . قسمت خطی سیگنال های فولدینگ درون یابی شده باید در بین نقاط گذار از صفر دو سیگنال تقویت کننده فولدینگ قرار گیرند تا از ایجاد خطا جلوگیری شود . ناحیه قابل درونیابی نیمی از ناحیه خطی شکل موج فولدینگ است . یک حالت خاص درون یابی دو تایی است که در آن غیر خطی بودن بر روی دقت مکان نقاط گذار از صفر اثر نمی گذارد و از این رو شکل موج های فولدینگ درون یابی شده به صورت متقارن و برابر در شکل خواهند بود . در حالت رفتار خوب غیر خطی درونیابی غیر هم شکل برای خنثی کردن غیر خطی بودن می تواند مورد استفاده قرار گیرد . اگرچه درونیابی روشی برای افزایش تعداد سیگنال های فولدینگ با هزینه کمتر است ،اما زیاد کردن سیگنال ها از این روش مشکلاتی را از قبیل تاخیر های متغیر را در شبکه درون یابی ایجاد می کند . استفاده از نردبان مقاومتی متداول ترین روش برای درون یابی بین دو سیگنال از جنس ولتاژ است. تعداد مقاومت ها بین دو خروجی متوالی برابر ضریب درون یابی خواهد بود و مقدار مقاومت ها باید تا حدی که از محاسبه ضرایب حساسیت مشخص می شود. رابطه ی (2-15) با یکدیگر مساوی باشند .در صورتیکه میزان انحراف شیب مشخصه ها کاملاً مشخص و ثابت باشد، می توان با تغییر مقدار برخی از مقاومت ها خطای ذاتی ناشی از درون یابی را کاهش داد .هرچند در عمل چون میزان انحراف شیب تابع عوامل متعددی است و با دقت قابل پیش بینی نیست، و از طرف دیگر ساخت مقاومت های مساوی نسبت به ساخت مقاومت هایی با نسبت غیرصحیح با اطمینان و دقت بیشتری نجام پذیر است، درون یابی غیرخطی می تواند بسادگی منجر به افزایش خطای ذاتی شود.یکی از ایرادات درون یابی ولتاژی این است که مقاومت دیده شده از ورودی مقایسه کننده ها خروجی های طبقه درون یابی یکسان نیست و به تدریج از خروجی ابتدایی تا خروجی میانی افزایش می یابد شکل (۳ -۱۷) این امر باعث ایجاد تاخیرهای ناهمگون در شبکه درون یابی و نیز افزایش نویز کیک بک ۱ مربوط به مقایسه کننده ها می گردد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳-۱۶ درون یابی ولتاژ



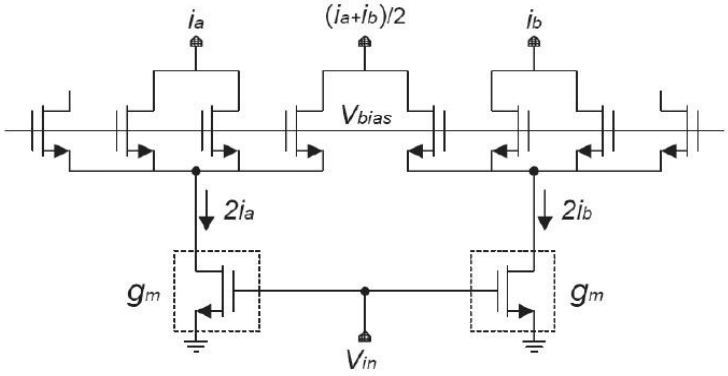
شکل ۳ - ۱۷ درون یابی ولتاژی

با اضافه کردن مقاومت سری در ورودی مقایسه کننده ها و کاهش تدریجی مقدار آنها از خروجی های ابتدایی و انتهایی بسمت خروجی میانی، می توان مقاومت همه مسیرها را یکسان و البته برابر بیشترین مقدار مقدارمقاومت نمود.[54].

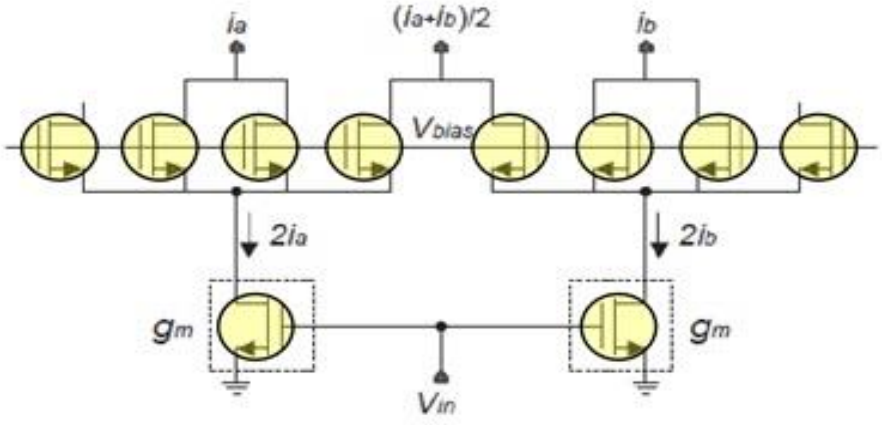
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۳-۵-۲ درون یابی جریانی

زمانی که سیگنال به فرم جریان است امپدانس مسیر سیگنال کم است ، تغییرات ولتاژ محدود می شود و سرعت بیشتر خواهد بود . بنابر این درون یابی حالت جریان برای کاربردهای ولتاژ پایین و سرعت بالا مناسب است. شکل(۳-۱۹)، جریان های درون یابی شده از طریق آینه جریان های کاسکود به قسمت هایی متناسب با اندازه آینه جریان تقسیم شده و و به فرم قسمت های جریان دقیق جمع می شوند . [55]. انحراف های جریان در قسمت درون یابی موجب ایجاد خطا در مکان نقاط گذار از صفر می شود . در آینه های جریان (MOSFET)، مهمترین عامل انحراف جریان تغییران تصادفی در ولتاژ آستانه است . طول کانال بلند به دلیل اینکه ولتاژ گیت موثر بزرگتری را ارائه می دهد باعث می شود انحراف آستانه در قایسه با سیگنال ورودی کمتر قابل ملاحظه باشد. شکل (۳ -۱۸)، روش درون یابی جریانی را برای I =2 نشان می دهد.



شکل ۳-۱۸ درون یابی جریانی



شکل ۳-۱۹ درون یابی جریانی بر اساس تقسیم جریان

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۳-٦ کاهش توان در مبدل فولدینگ

از آنجا که هدف اصلی از این پژوهش یافتن راهکارهایی برای پیاده سازی ساختار فولدینگ در ولتاژهای تغذیه پایین و با توان مصرفی کم است، در ابتدا سعی می کنیم عوامل موثر بر تعیین توان مصرفی در شرایطی که فرکانس سیگنال ورودی و دقت مورد نیاز مشخص است را بیابیم .به این منظور یک مبدل فولدینگ N بیتی فرضی را با ضریب فولدینگ FF ، ضریب درون یابیI ، حداکثر فرکانس ورودی fmax و حداکثر خطای INL برابر e0 در نظر می گیریم .بلوک های فولدینگ مشابه شکل در نظر گرفته می شوند. با توجه به روابط مربوط به میزان انطباق ترانزیستورها .[56]. و با فرض اینکه خطای خروجی عمدتاً ناشی از عدم تطبیق ترانزیستورهای مربوط به زوجهای دیفرانسیل باشد می توان نوشت.

(3-3)

$$\sigma_{Voff} \approx \frac{A_{Vth}}{\sqrt{W.L}}$$

که در این رابطه AVth □.Tox در هر تکنولوژی مقدار مشخصی دارد [41] وW و L ابعاد ترانزیستورهای ورودی هستند .برای آنکه مطمئن باشیم خطای INL در بیش از 99 درصد ازموارد کمتر از e0 است باید داشته باشیم.

(4-3)

$$\frac{3.\gamma T_{ox}}{\sqrt{W.L}.\Delta} = \frac{3.\gamma T_{ox}.2^N}{\sqrt{W.L}V_{FS}} \le e_0 \quad \Rightarrow \quad W.L \ge \frac{9.\gamma^2 T_{ox}^2.2^{N+1}}{V_{FS}.e_0}$$

در رابطه بالا VFS محدوده تمام مقیاس ورودی است.با بررسی این رابطه مشخص است که تمام عوامل صورت سمت راست معادله با انتخاب تکنولوژی و تعداد بیت مشخص می شوند بنابراین هرچه مخرج بزرگ تر باشد، حداقل اندازه ترانزیستورها کوچکتر خواهد بود .به عبارت دیگر به ازای دقت مشخص هر چه محدوده ورودی بزرگتر شود، این دقت با ترانزیستورهای کوچکتری قابل دسترسی است. بهره خروجی تا ورودی در هر یک از زیرمحدوده ها با توجه به جریان زوج های دیفرانسیلISS)) بصورت زیر بدست می آید.

(5-3)

$$A = g_m R_{out} = \sqrt{k_n (\frac{W}{L}) Iss}.R_{out}$$

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

با فرض اینکه بخواهیم حداکثر محدوده خروجی برابر محدوده ورودی باشد، این بهره باید مقداری برابر FF داشته باشد.

$$A = g_m R_{out} = F_F \qquad \Rightarrow \qquad k_n \frac{W}{L} I_{SS} R_{out}^2 = F_F^2$$

(6-3)

از طرف دیگر پاسخ فرکانسی این مدار عمدتاً با قطب گره های خروجی تعیین می شود .با توجه به غیر خطی بودن مدار می توان نشان داد در حالتی که از مدار نمونه برداری استفاده نشود، حداکثرفرکانسی که در گره خروجی ظاهر می شود برابر است با .[58].

(7-3)

$$f_{out_{\max}} = \sqrt{2}.F_F.f_{in_{\max}}$$

برای اینکه سیگنالی با این فرکانس در خروجی ایجاد اعوجاج نکند، قطب گره خروجی باید ازمقدار مشخصی دورتر باشد .فرض کنیم.

(8-3)

$$\omega_{out} = \frac{1}{R_{out}.C_{out}} = 2.\pi.\sqrt{2}.F_F.f_{in_{\max}}$$

Cout مجموع خازن پارازیتیک مربوط به درین ۱ زوج های دیفرانسیل است .از آنجا که هر خروجی به تعداد FF ترانزیستور وصل است، می توان نوشت.

(9-3)

$$C_{out} \approx F_F.C_{GD} \approx F_F W.C_0$$

که در این رابطه C0 ≈ E .C j + 2C jSW در یک تکنولوژی مقدار مشخصی دارد .با ترکیب رابطه های (3 -9) و (3 -8) و جای گذاری در (3 -6) خواهیم داشت.

(10-3)

$$k_n \frac{W}{L} I_{SS} \frac{1}{(F_F W.C_0.\sqrt{2}.f_{in_{\max}})^2} = F_F^2$$

و جریان هر زوج بصورت زیر با ترکیب (3 -10) و (3 -4) بدست می آید.

(11-3)

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

$$I_{SS} = \frac{F_F^4 C_0^2 .2 f_{in_{\max}}^2 W.L}{k_n} = \frac{18.F_F^4 C_0^2 .\gamma^2 T_{ox}^2 2^{N+1}}{k_n V_{FS} .e_0} f_{in_{\max}}^2$$

و در نهایت توان مصرفی خواهد بود

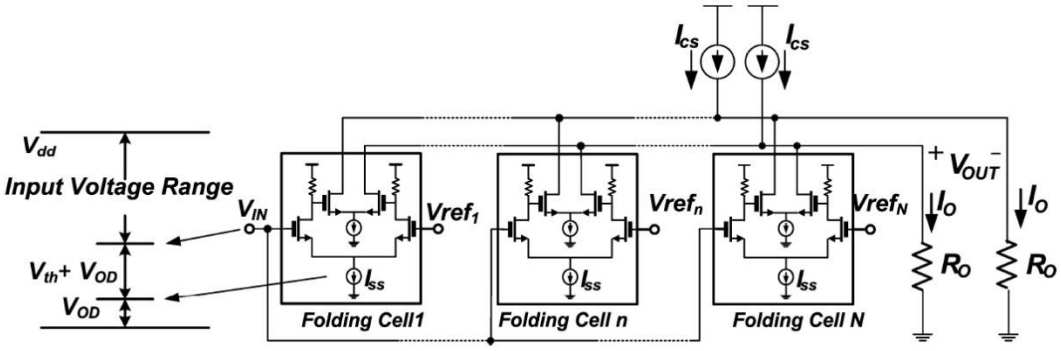
$$P = I_{V_{DD}} V_{DD} = K_{Tech} .K_{Design} \frac{1}{\eta_V} f_{in_{\max}}^2 \quad \textbf{(12-3)}$$

در رابطه بالا

$$K_{Tech} = \frac{C_0^2 \gamma^2 T_{OX}^2}{k_n} \quad \textbf{(13-3)}$$

$$K_{Design} = \frac{F_F^4 2^{N+1}}{e_0} \quad \textbf{(14-3)}$$

Vin/VDD=□ راندمان ولتاژ است [59] و هرچه محدوده ورودی به تغذیه نزدیکتر باشد، مقدار آن به ۱ نزدیک تر خواهد بود. رابطه (3 -12) نشان می دهد هرچه راندمان ولتاژ بیشتر باشد، به ازای حداکثر فرکانس ورودی مشخص توان مصرفی کمتر خواهد بود و از طرف دیگر در توان مصرفی مشخص، ورودی تا فرکانس های بالاتری قابل افزایش است. مشکلی که در افزایش محدوده ورودی مبدل فولدینگ وجود دارد آن است که زوجهای دیفرانسیل ورودی برای آنکه در ناحیه خطی کار کنند، محدودیتی روی سطح پایین محدوده ورودی در مورد ترانزیستورهای NMOS یا روی سطح بالایی این محدوده در مورد ترانزیستورهای PMOS اعمال می کنند. شکل (۳ -۲۰).



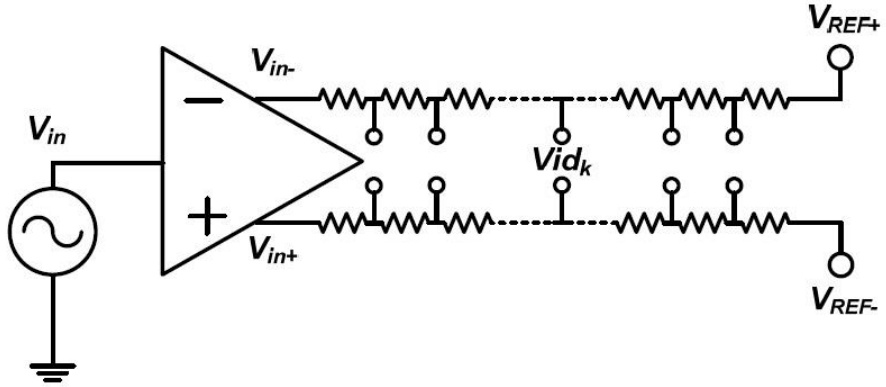
شکل ۳ - ۲۰ محدودیت محدوده ورودی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

هرچه به سمت تکنولوژی های جدیدتر پیش می رویم، با توجه به اینکه ولتاژ آستانه ۱ به میزانی کمتر از ولتاژ تغذیه کوچک می شود، محدودیت بالا خود را بیش تر نشان می دهد.[60]. همچنین اگر به منظور ایجاد امکان درون یابی در دو انتهای محدوده d زوج تفاضلی اضافه شود، در واقع محدوده قابل استفاده به نسبتFF F +d کوچک تر شده است.

۳-٦-۱ روش های موجود برای افزایش محدوده ورودی

تنها روش موثری که برای افزایش محدوده ورودی مورد استفاده قرار گرفته است، استفاده از سیگنال های های دوطرفه یا دیفرانسیل در ورودی است .این کار در عمل محدوده ورودی را" افزایش نمی دهد بلکه از محدوده موجود دوبار استفاده می کند .اینکار به دو صورت زیر گزارش شده است. در روش اول یک بافر در ورودی کل مبدل قرار می گیرد که دو خروجی مستقیم و معکوس دارد این بافر می تواند بافر خروجی مدار نمونه بردار باشد [61] . ولتاژ مرجع اصلی نیز بصورت دو طرفه (-Vref ,+Vref)ساخته می شود Vref)، می تواند زمین باشد بین خروجی معکوس بافر(Vin -) ، و ولتاژ مرجع مثبت(Vref +) ، و نیز بین + Vinو Vref + دو نردبان مقاومتی قرار می گیرد که هر یک به تعداد زوجهای دیفرانسیل سر وسط دارند .هر زوج تفاضلی به خروجی های متناظر دو نردبان مقاومتی وصل می شوند. شکل(۳ -۲۱).



شکل ۳ - ۲۱ ساختن سیگنال ورودی دیفرانسیل

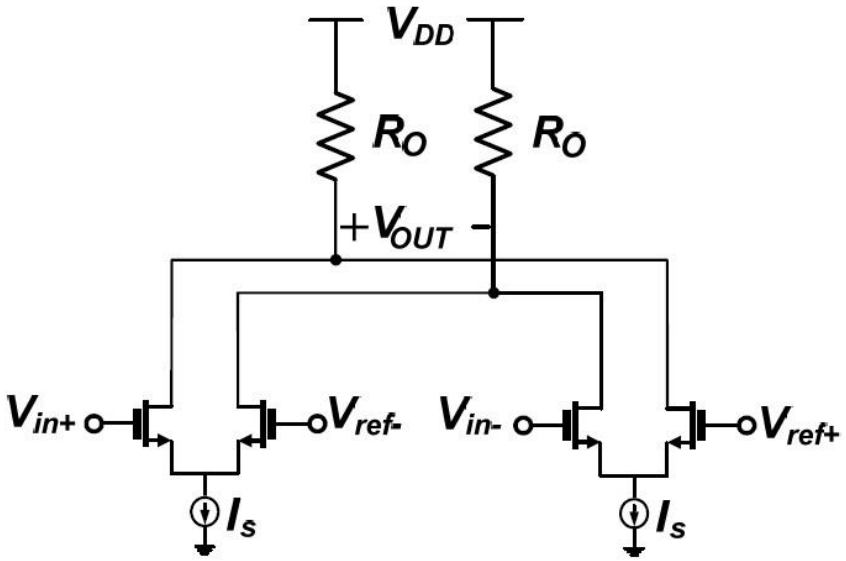
در اینحالت ورودی زوج دیفرانسیلK ام خواهد بود.

(15-3)

$$Vid_k = \frac{k}{N}(V_{in+} + V_{REF-}) - \frac{k}{N}(V_{in-} + V_{REF+})$$

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

ایراد عمده این روش به طراحی بافر برمی گردد .مشخصات مورد نیاز برای این بافر عبارتند از جریان دهی بالا برای راندن نردبان های مقاومتی پهنای باند زیاد و نوسان خروجی برابر محدوده ورودی یکطرفه .پیاده سازی چنین بافری مستلزم صرف توان زیادی خواهد بود .یک روش دیگر استفاده از پیش تقویت های شبه دیفرانسیلی مشابه شکل(۳ -۲۲)، است.[63][62]. هنگامی که Vin+=Vref + و در نتیجه Vin-=Vref - است، جریان ترانزیستورهای هر زوج با یکدیگر برابرند و در نتیجه خروجی تفاضلی در این نقطه از صفر عبور می کند. این خروجی به ورودی تقویت کننده فولدینگ اصلی اعمال می شود. در مدار شکل(۳ - ۲۲)، لازم نیست جریان دو زوج تفاضلی دقیقاً با هم برابر باشند . ولی تطابق ترانزیستورهای هر زوج با یکدیگر اهمیت دارد .به عبارت دیگر می توان نشان داد ولتاژ افست ورودی برای این پیش تقویت کننده ۲ برابر نسبت به پیش تقویت کننده یکطرفه بیشتر است که بخشی از مزیت مربوط به افزایش محدوده ورودی را کمرنگ می سازد.



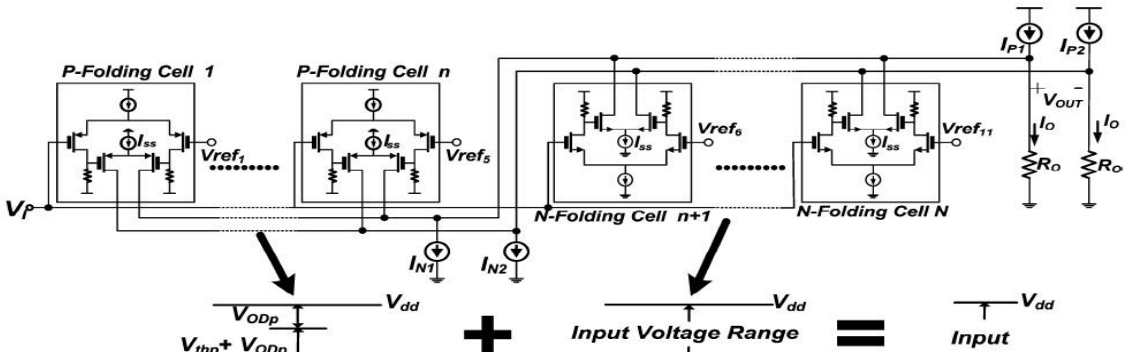
شکل ۳ - ۲۲ پیش تقویت کننده شبه تفاضلی

از نظر توان مصرفی نیز این پیش تقویت کننده دو برابر پیش تقویت کننده یکطرفه مشابه توان صرف می کند .با این وجود در اغلب مبدل های فولدینگ جدید از این روش برای افزایش دامنه ورودی و داشتن ورودی دو طرفه استفاده می شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۳-۶-۲ روش پیشنهادی برای افزایش دامنه ورودی

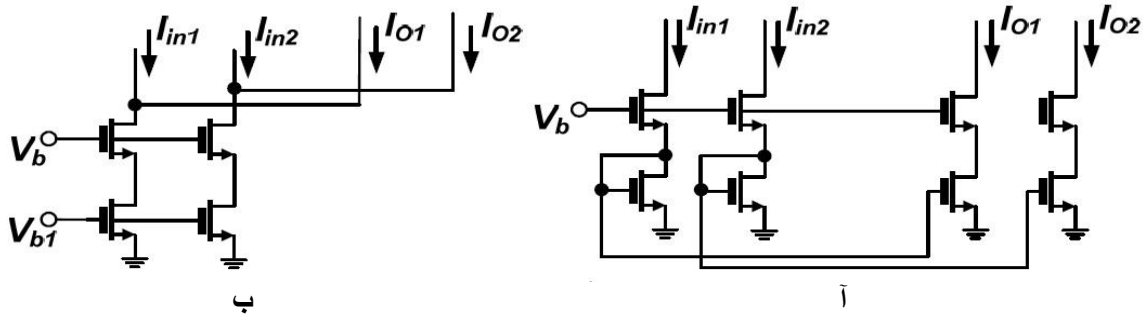
یک روش ابداعی که در این پژوهش برای افزایش دامنه ورودی مبدل فولدینگ پیشنهاد و پیاده سازی شده است [64]. بر پایه استفاده همزمان از زوجهای تفاضلی NMOS وPMOS استوار است .به این ترتیب که قسمت پایین محدوده ورود توسط ترانزیستورهای PMOS پوشش داده می شودکه می توانند تا ورودی صفر را قبول کنند و قسمت بالای محدوده با استفاده از زوجهای تفاضلی که با ترانزیستورهای NMOS ساخته شده اند فولد می شوند .شکل (۳ -۲۳)، چگونگی افزایش محدوده ورودی بصورت تمام محدوده ۱ را نشان می دهد.



شکل ۳ - ۲۳ ساختار پیشنهادی برای افزایش دامنه ورودی مبدل فولدینگ

به این ترتیب هر بلوک فولدینگ به دو زیر مجموعه PMOS و NMOS تقسیم می شود .جریان های خروجی این دو زیرمجموعه در خلاف جهت یکدیگر قرار دارند وبرای آنکه با یکدیگر جمع شوند جهت یکی از آنها به عنوان مثال خروجی زیر مجموعه باید معکوس شود تا بتواند با جریان خروجی زیر مجموعه جمع گردد. برای معکوس کردن جهت جریان می توان از دو آیینه جریان استفاده کرد و یا در ساختاری شبیه به کسکود تاشده ۱ با کم کردن جریان خروجی از یک مقدار ثابت جهت آنرا تغییر داد. شکل(۳ -۲۴).

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳ - ۲٤ تغییر جهت جریان با استفاده از آ (آیینه جریان ب (کم کردن از جریان ثابت

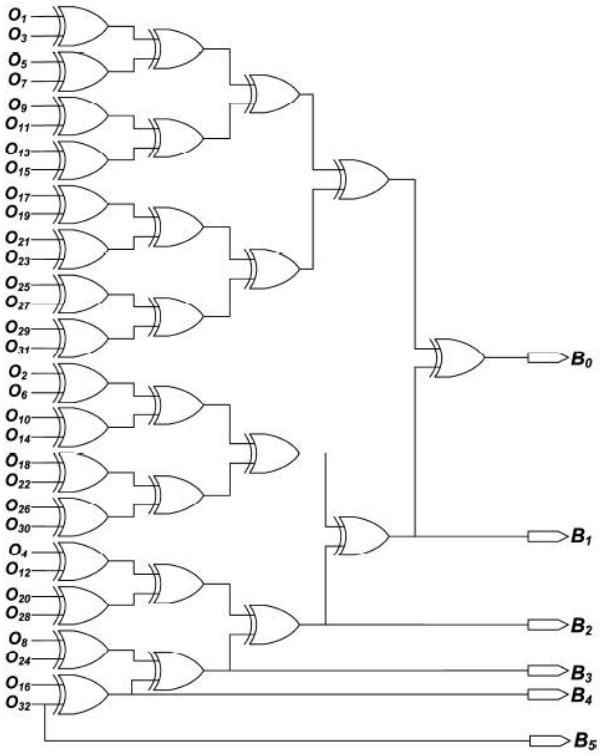
۳-۷ دکودر دیجیتال

هر یک از مقایسه کننده های خروجی که تعداد آنها 2N1-1 است، در هر زیرمحدوده یک عبور از صفر را تشخیص می دهند و خروجی آنها به صورت کد ترمومتری ۱ است .برای تبدیل این کد به کد باینری ۲ می توان از تعدادی گیت XOR استفاده کرد .آرایش این گیت ها درشکل (۳ -۲۵)، برای حال N1=5 نمایش داده شده است و رابطه (3 -16)، خروجی های باینری را بصورت تابع منطقی از خروجی مقایسه کننده هادر حالت کلی نشان می دهد.

$$B_0 = O_1 \oplus O_2 \oplus O_3 \oplus ..... \oplus O_{2^{N1}}$$
$$B_1 = O_2 \oplus O_4 \oplus O_6 \oplus ..... \oplus O_{2^{N1}}$$
$$B_2 = O_4 \oplus O_4 \oplus O_6 \oplus ..... \oplus O_{2^{N1}}$$
$$\vdots$$
$$B_{N1-1} = O_{2^{N1-1}} \oplus O_{2^{N1}}$$
$$B_{N1} = O_{2^{N1}}$$

(16-3)

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

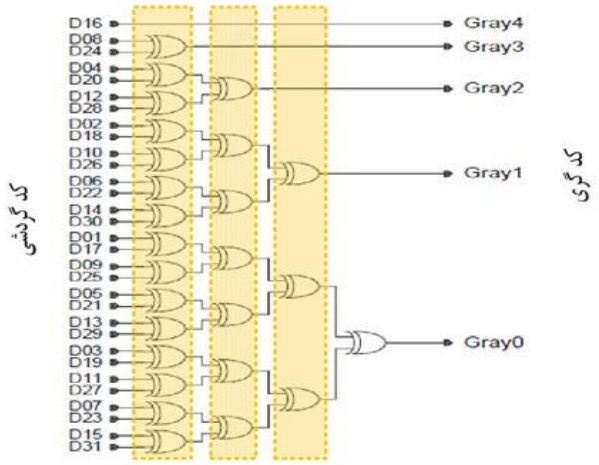


شکل ۳ - ۲۵ آرایش دکودر دیجیتال

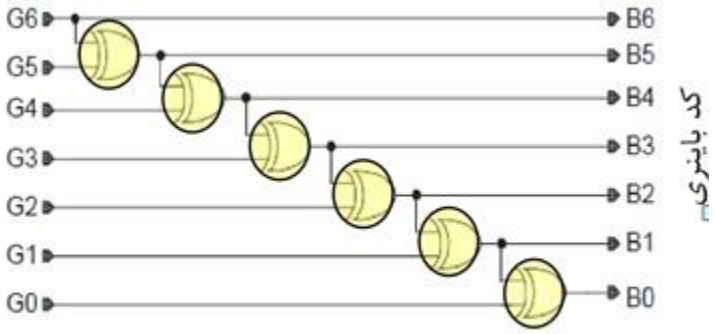
۳-۷-۱ کد کننده دیجیتال

کد تولید شده توسط بانک مقایسه گر در مبدل های فلش در اصطلاح کد دماسنجی گفته می شود . کد خروجی بانک مقایسه گر در مبدل های فولدینگ یک طبقه کد دماسنجی نیست اما چیزی مشابه آن است . به آن کد دماسنجی چرخشی گفته می شود . کد دماسنجی چرخشی می تواند به راحتی به کد گری تبدیل شود که این کار توسط چندین عمل xor انجام می شود . شکل (۳ -۲۶)، شماتیک ،مدار کد کننده که ۱۳ بیت دماسنجی چرخشی را به ۵ بیت گری تبدیل می کند . کد گری هم می تواند با استفاده از XOR به باینری تبدیل شود شکل (۳- ۲۷).

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳-۲۶ تبدیل کد گردشی به گری



شکل ۳-۲۷ تبدیل کد گری به باینری

کد کننده ای که در شکل (۳- ۲۶ و ۳-۲۷) نشان داده شده است می تواند با عبارات لاجیک

$G_0=D_{01}XORD_{03}\ XORD_{05}\ldots\ XORD_{29}\ XORD_{31}$ (3 -2- الف)

$G_1=D_{02}\ XORD_{06}\ldots\ XORD_{26}XORD_{30}$ (3 -2- ب)

$G_2=D_{04}XORD_{12}XORD_{20}\ XORD_{28}$ (3 -2- ج)

$G_3=D_{08}\ XORD_{24}$ (3 -2- د)

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

$G4=D16$ (ه-2- 3)

به این ترتیب کد دماسنجی چرخشی ۱۳ بیتی به ۵ بیت کد گری تبدیل می شود . این ۵ بیت نتیجه چندی کننده دقیق است که می تواند با ۲ بیت حاصل از چندی کننده درشت ترکیب شود۸ و ۷ بیت داشته باشیم . اگر ۲ بیت چندی کننده درشت نیز به صورت گری تولید شوند ،۷ بیت گری خواهیم داشت که می توان آنها را به راحتی به ۸ یا ۷ بیت باینری تبدیل کرد . روابط تبدیل در زیر آمده است

$B_0=G_0\ XORG_1\ XORG_2XORG_3XORG_4XORG_5XORG_6$ (و–4– 3)

$B_1= G_1\ XORG_2XORG_3XORG_4XORG_5XORG_6$ (ز–4– 3)

$B_2= G_2XORG_3XORG_4XORG_5XORG_6$ (ح–4– 3)

$B_3= G_3XORG_4XORG_5XORG_6$ (ط–4– 3)

$B_4= G_4XORG_5XORG_6$ (ی–2– 3)

$B_5= G_5XORG_6$ (ك–4– 3)

$B_6=G_6$ (ل–4– 3)

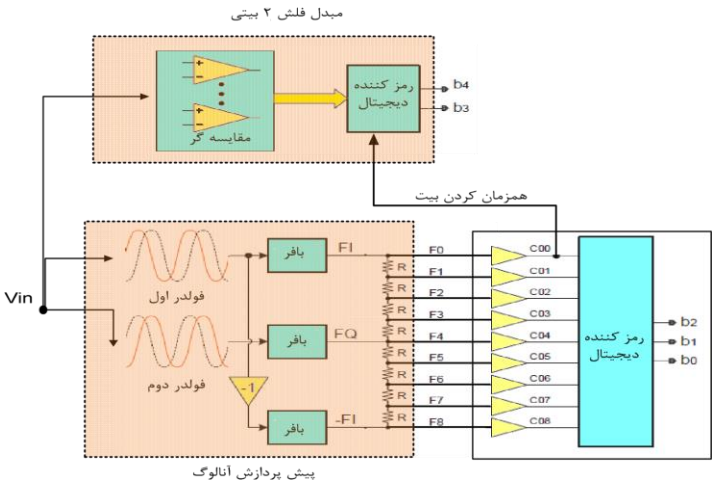
۸–۳ ADC های فولدینگ و درون یاب

در بالا به بلوک های مختلف مبدل های فولدینگ یک طبقه از جمله تقویت کننده فولدینگ ،بلوک درون یاب و بلوک لاجیک پرداخته شد . برای نشان دادن ساختار سیستم مبدل های فولدینگ ،سیستم یک مبدل فولدینگ یک طبقه ساده ۵ بیتی است . این مبدل شامل دو درون یاب چهار تایی است بنابر این فاکتور درون یابی آن ۴ می باشد . رزولوشن چنین مبدلی وابسته به فاکتور های فولدینگ و درونیابی است.

$$N_B = \log_2 m.\ F_F.\ F_I \quad \textbf{(17-3)}$$

که m در آن تعداد تقویت کننده های فولدینگ است که گاهی اوقات به آن تعداد شکل موج های اولیه گفته می شود . برای مبدل نشان داده شده در شکل (۳–۲۸) می باشد .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



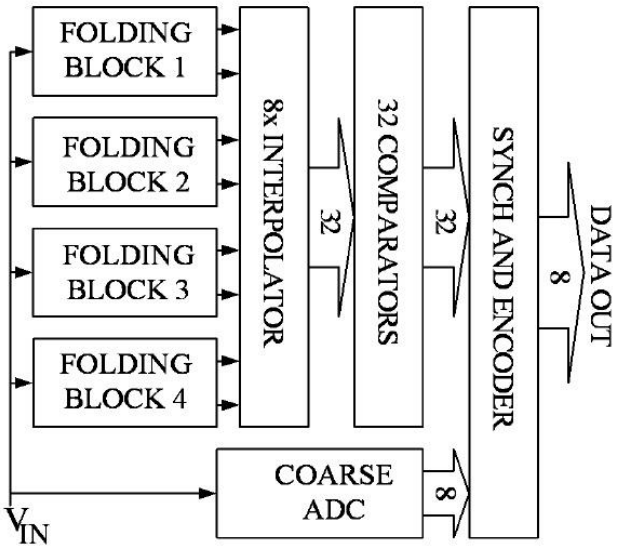
شکل ۳-۲۸ شماتیک یک مبدل فولدینگ یک طبقه ساده ۵ بیتی

۳-۹ انتخاب جزئیات ساختار مبدل فولدینگ

از آنجا که هدف اصلی این پژوهش کاهش توان مصرفی و ولتاژ تغذیه از طریق ارائه یک روش جدید برای پیاده سازی ساختار فولدینگ است، جزئیات ساختار ضریب فولدینگ، ضریب درون یابی و تعداد طبقات بگونه ای انتخاب می شود که بررسی روش ارائه شده با سهولت بیشتری انجام شود. با توجه به دقت تفکیک ۸ بیت، تقسیم بندی ۳ بیت برای مبدل درشت گام و ۵ بیت برای مبدل فولدینگ منطقی است[66][65]. به این ترتیب ضریب فولدینگ برابر ۸ بدست می آید که با در نظر گرفتن یک زوج تفاضلی اضافی در هر طرف، مقدار آن به ۱۰ می رسد و چنانچه بالانس dc با استفاده از زوج تفاضلی اضافی بخواهد تامین شود، ضریب فولدینگ نهایی ۱۱ خواهد شد .با انتخاب۵ بیت برای مبدل فولدینگ ریز گام، باید ۳۲ سیگنال برای ورودی ۳۲ مقایسه کننده ساخته شود.

یک ساختار یک طبقه، متشکل از ۴ بلوک فولدینگ اصلی و ضریب درون یابی ۸ این ۳۲ سیگنال را می سازد به این ترتیب تعداد کل زوج های تفاضلی ۴۴ خواهد بود .شکل(۳ -۲۹) بلوک دیاگرام ساختار بکار رفته را نشان می دهد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۳ - ۲۹ بلوک دیاگرام مبدل طراحی شده

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل چهارم:
طراحی سیستمی و مدل رفتاری
مبدل های فولدینگ

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

٤-١ مقدم

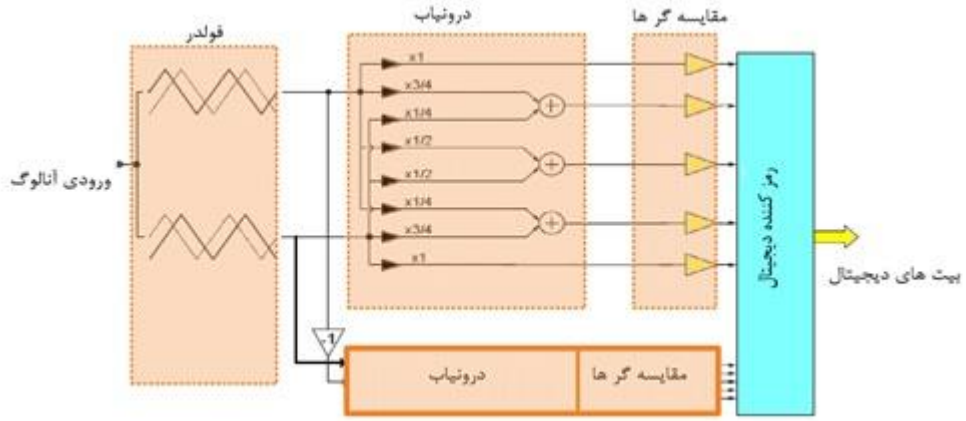
در این فصل به بررسی عمکرد مبدل فولدینگ با مشخصات مورد نظر در سطح سیستم خواهیم پرداخت . مدل رفتاری مبدل در نرم افزار MATLAB SIMULINK پیاده و شبیه سازی شده است . این مدل به منظور آنالیز برخی حالات غیر ایده آل از قبیل محدودیت پهنای باند ،انحراف مقایسه گر و فولدر ،عدم تطابق در بهره فولدر و درون یاب و همینطور تاخیر متغیر درون یاب ،استفاده شده است . امکان بررسی تأثیرخطاهای مختلف روی عملکرد استاتیک و دینامیک آن در نظر گرفته شده است .همچنین این امکان ایجاد شده که در مواردی که مدل سیستمی به دقت بیانگر رفتار مدار نیست، نتایج شبیه سازی مداری به صورت جدول در مدل سیستمی وارد شده و نتایج دقیق تری از شبیه سازی سیستمی به دست آید .به این ترتیب مدل سیستمی به عنوان ابزاری که با ایده آل در نظر گرفتن و تقریب اجزایی که در عملکرد نهایی تأثیر چندانی ندارند به عنوان مثال مدارهای منطقی دیجیتال یا مبدل درشت گام و با مشخص کردن یک سری نکات کلیدی و اساسی که باید در هر بلوک رعایت شوند به سرعت شبیه سازی به طراحی مبدل فولدینگ و F & I می افزاید، و در تمامی مراحل پیاده سازی مورد استفاده قرار می گیرد.

٤-٢ مدل رفتاری مسیر چندی کننده دقیق فولدینگ، ADC

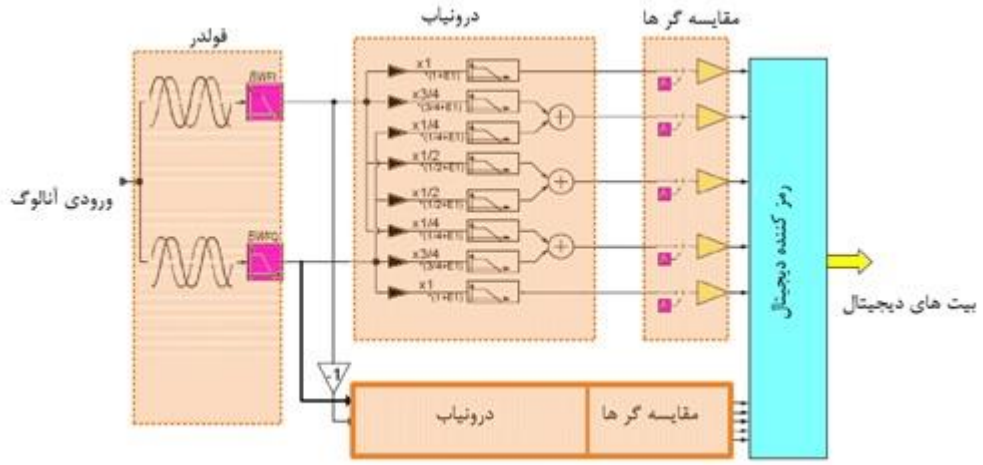
همانطور که گفته شد یک مبدل فولدینگ یک طبقه شامل دو مسیر سیگنال است مسیر دقیق و درشت . مسیر درشت ،یک چندی کننده فلش است که شامل بانکی از مقایسه گران است . تمام پیش پردازشگران آنالوگ از جمله تقویت کننده فولدینگ و درونیاب در مسیر دقیق قرار دارند . کارایی مبدل یک طبقه با حالات غیر ایده آل موجود در بلوک پیش پردازش آنالوگ ،محدود می شود . بنابراین مدل رفتاری ما به منظور مدل کردن حالات غیر ایده آل در بلوک پردازش آنالوگ طرح شده است . از آنجایی که کد کننده های دیجیتال که شامل گیت های لاجیک می شوند نقطه حساسی برای مبدل آنالوگ به دیجیتال یک طبقه نیستند فرض می کنیم تمام کد کننده ها شامل کد کننده های چرخشی به گری و گری به باینری می باشند ،ایده آل هستند . در simulink از مدل گیت های پایه ای برای پیاده سازی کد کننده استفاده شده است . شکل (۴-۱ –الف)، یک مدل ایده آل برای مسیر دقیق مدل ۵ بیتی ساده مبدل فولدینگ یک طبقهI نشان داده شده است را نمایش می دهد . (شکل ۴-۱ –ب)، همین مدل را با عوامل غیر ایده آل نشان می دهد . عوامل غیر ایده آل که در این مدل رفتاری در نظر گرفته شده اند عبارت است از خصوصیت فولدینگ غیر

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

خطی ،محدودیت پهنای باند فولدر (BW_{FI},BW_{FQ})، خطای درون یابی(ε_1-ε_{16})، محدودیت پهنای باند درونیاب (BW) ، و انحراف مقایسه گر مربوط به ورودی .



شکل ٤-١ الف مدل رفتاری مسیر چندی کننده دقیق مبدل فولدینگ یک طبقه بدون در نظر گرفتن عوامل غیر ایده ال



شکل ٤-١ ب مدل رفتاری مسیر چندی کننده دقیق مبدل فولدینگ یک طبقه همراه در نظر گرفتن عوامل غیر ایده ال

٤-٣ مدل رفتاری بلوک ساختاری اصلیADC

بر خلاف فیلتر ها و مدارات ساده و خطی دیگر که پارامترهای آنها به صورت تحلیلی قابل استنتاج است مبدل فولدینگ یک طبقه یک سیستم پیچیده و غیر خطی است و عوامل غیر ایده آل بر روی کارایی ADC اثر می

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

گذارد که نمی تواند به صورت تحلیل حل شود . مدل رفتاری می تواند ابزار بسیار مفیدی برای انتخاب پارامترهای سیستم و تعیین محدوده مناسب برای عوامل غیر ایده آل باشد . عوامل ایجاد خطا می توانند در شبیه سازی مدل غیر ایده آل تغییر کنند و یا فعال و عیر فعال شوند و در نهایت اثر آن بررسی شود .

٤-٣-١ مدل تقویت کننده فولدینگ

روش اولیه مبدل های فولدینگ یک طبقه اولین بار توسط ARBUL و KURZ در سال 1975 ارائه شد . انگیزه اصلی کاهش مقایسه گر های مورد نیاز در طراحی بود . از آن هنگام روش های متفاوتی برای تولید سیگنال فولدینگ ارائه شده است که معمول ترین روش استفاده از زوج تفاضلی های کوپل شده است (CDPs)، شکل تناوبی خصوصیت انتقال فولدر متشکل از اجزایی است که از خصوصیت انتقال زوج تفاضلی ایجاد می شوند . برای یک ورودی همه زوج های تفاضلی به غیر از یکی در حالت اشباع هستند . زوج تفاضلی که در حالت فعال است یک شکل پیچ خوردگی (fold)، حول ولتاژ مرجع که به یکی از ورودی های آن متصل است ،ایجاد می کند . مشخصه انتقال [67]. یک زوج تفاضلی به صورت زیر است

$$V_{out} = A_{v0}.\ V_{in} - V_{REF}\ .\ \{1 - \frac{V_{in}}{4I_B}\sqrt{\beta}\left(V_{REF} - \frac{}{2}\right)} \qquad (1\text{-}4)$$

که در اینجا $A_{v0} = g_{m0}R_L$ بهره ولتاژ زوج تفاضلی است وقتی که $V_{in} = V_{REF}$،I_B جریان بایاس زوج تفاضلی است و $\beta=\mu cW/L$ و R_L نیز بار زوج تفاضلی است . g_{m0} رسانایی متقابل ترانزیستور استفاده شده در زوج فاضلی است . اختلاف ولتاژ لازم برای اینکه جریان بایاس به طور کامل در یکی از شاخه ها جریان پیدا کند برابر است با

$$\Delta V = \{\frac{2I_B}{\beta} \qquad (2\text{-}4)$$

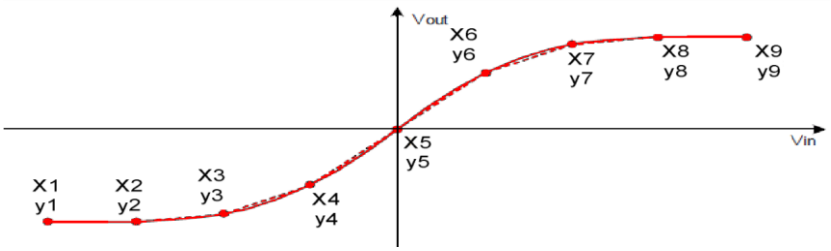
مشخصه انتقال یک تقویت کننده فولدینگ با یک تابع تناوبی که بر پایه اجزایی بر اساس رابطه(4-1) ، هستند بنا شده است. مدل رفتاری یک تقویت کننده فولدینگ چهار تایی در شکل(۴-۲-ب)، آمده است . از همین روش می توان برای ساختن تقویت کننده فولدینگ ۸ تایی استفاده کرد . در matlab simulink مشخصه انتقال غیر خطی را می توان با استفاده از look-up table پیاده سازی کرد . منحنی مشخصه انتقال

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

مربوط به بلوک زوج تفاضلی یا هر مشخصه غیر خطی دیگر می تواند با استفاده از دو بردار ورودی $x = \{x_1, x_2, \dots, x_9\}$ و خروجی $y = \{y_1, y_2, \dots, y_9\}$ بیان کرد .

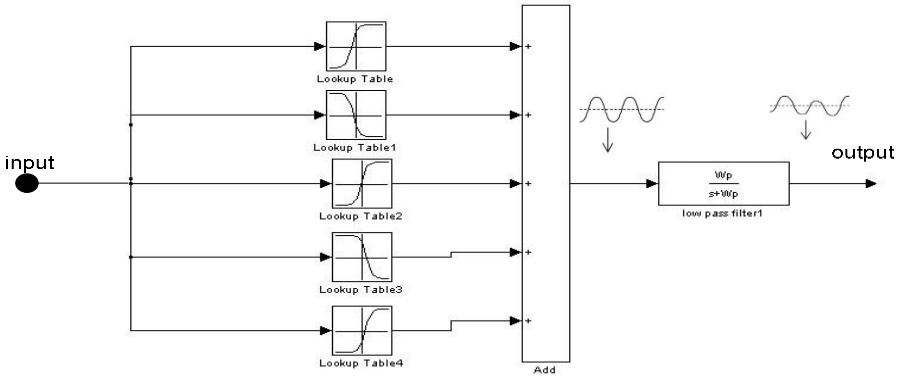
٤-٣-٢ عوامل غیر ایده آل تقویت کننده فولدینگ

انحراف ورودی که به علت عدم تطابق دو ترانزیستور زوج تفاضلی ایجاد می شود .قطعات بهره غیر خطی که به علت رسانایی متقابل غیر خطی زوج تفاضلی ایجاد می شود . به طور ایده آل تقویت کننده فولدینگ باید دارای مشخصه انتقال تکه ای خطی باشد . عدم تطابق بهره که به دلیل عدم تطابق بین زوج های تفاضلی پدید می آید . به صورت ایده آل زوج های تفاضلی باید دارای رسانایی متقابل یکسان باشند . محدودیت پهنای باند که به دلیل محدودیت پهنای باند زوج تفاضلی ،که به صورت یک فیلتر پایین گذر عمل می کند ،ایجاد می شود . شکل(۴ -۳)، چندین مشخصه انتقال غیر ایده آل که در بالا گفته شد را نشان می دهد . در اینجا F_I و F_Q دو قسمت از مشخصه انتقال دو تقویت کننده فولدینگ هستند . و z' نقطه گذار از صفر شکل موج درونیابی شده $F_I/2+F_Q/2$ است و $\Delta z=z-z'$ خطای نقطه گذار از صفر درونیابی شده است . در شکل(۴-۳ – الف)، F_Q دارای یک انحراف است که باعث می شود نقطه گذار از صفر درونیابی شده z از محل ایده آل خود z' شیفت پیدا کند . در این حالت $\Delta max)=offset$. در شکل(۴ -۳-ب)، شیب F_Q ثابت نیست و در نتیجه شیفت نقاط گذار از صفر حاصل می شود . فاکتور خطای Δz وابسته به شکل F_Q است . در شکل(۴-۳ -ج)، به دلیل اینکه F_I و F_Q دارای شیب های متفاوتی هستند نقطه گذار از صفر درونیابی شده z نیز جابه جا می شود . در این حالت $\Delta z(max)$ برابر با عدم تطابق در بهره خواهد بود که با ضریبی از $\epsilon Z_Q - Z_I \epsilon$ متناسب است.

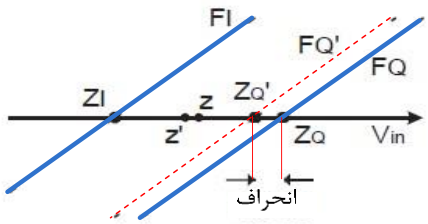


شکل ٤-٢ الف مدل زوج تفاضلی با استفاده از بردارهای x و y

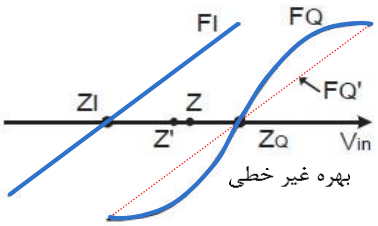
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-٢ ب مدل رفتاری تقویت کننده فولدینگ چهارتایی

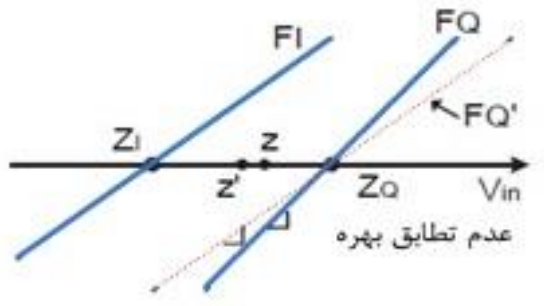


شکل ٤-٣ الف مشخصه انتقال اثر غیر ایده ال انحراف



شکل ٤-٣ ب مشخصه انتقال اثر غیر ایده ال بهره غیر خطی

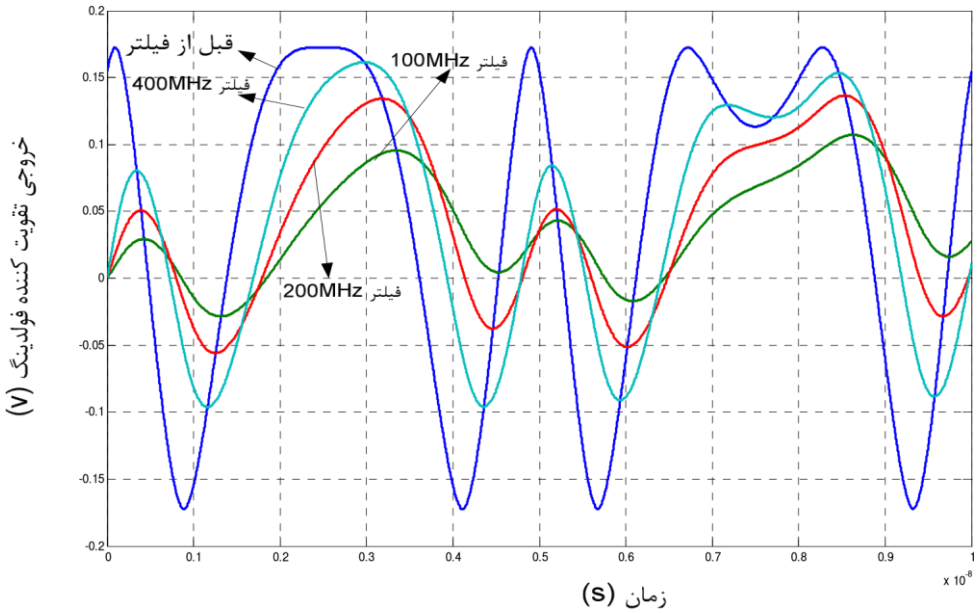
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-٣ ج مشخصه انتقال اثر غیر ایده ال عدم تطابق بهره

محدودیت پهنای باند به ۳ صورت بر روی خروجی فولدر اثر می گذارد[67] ۱. شکل موج را تضعیف می کند ۲. تاخیر گروهی تولید می کند ۳. نقاط گذار از صفر را جابه جا می کند . عوامل غیر ایده آل دیگری برای فولدر وجود دارند که می توان گفت مهمترین آنها عبارتند از انحراف ،بهره غیر خطی ،عدم تطابق در بهره و محدودیت پهنای باند که بر روی کارایی کلی مبدل آنالوگ به دیجیتال اثر می گذارند . در میان عوامل غیر ایده آل که در بالا مطرح شد ،انحراف ورودی و غیر خطی بودن و عدم تطابق در بهره قدرت تفکیک مبدل را محدود می کنند در حالی که محدودیت پهنای باند باعث محدودیت ورودی می شود شکل(۴-۴)، از شبیه سازی مدل نشان داده شده در شکل (۴ -۲-ب)، بدست آمده است که در آن سیگنال ورودی سینوسی با فرکانس 100MHz است . نقاط گذار از صفر از نقطه ایده آلشان جابه جا شده اند و شیفت ثابت موجب ایجاد اعوجاج نمی شود . متاسفانه اگر پهنای باند خیلی پایین باشد فاصله این جابه جایی ها ثابت نخواهد بود و موجب اعوجاج می شود . اثر جابه جایی نقاط گذار از صفر می تواند با بررسی FFT خروجی مبدل آنالوگ به دیجیتال مورد مطالعه قرار گیرد . ضریب سیگنال به نویز و اعوجاج SNDR به عنوان محکی برای کارایی مورد بررسی قرار می گیرد . می توانیم این نتایج را استنتاج کنیم ۱. مبدل های با قدرت تفکیک بالاتر نیاز به پهنای باند بالاتری دارند ۲. با قدرت تفکیک یکسان فولدر با فاکتور ۸ نیاز به پهنای باند بالاتری نسبت به فولدر با فاکتور ۴ دارد ۳. پهنای باند پایین تر موجب خرابی بیشتر در SNDR می شود .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-٤ اثر محدودیت پهنای باند بر روی خروجی تقویت کننده فولدینگ

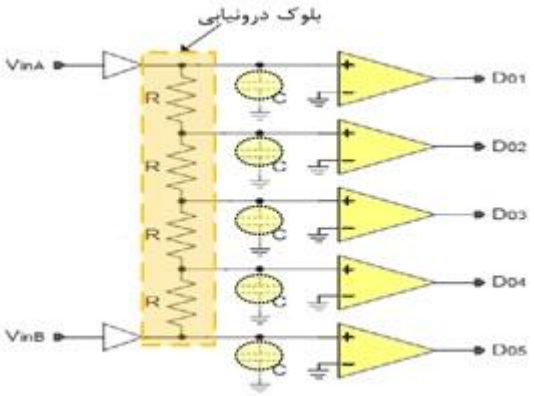
مدل ارائه شده در شکل(۴ -۱ -الف)، می تواند به منظور تولید عوامل غیر ایده آل از قبیل غیر خطی بودن و عدم تطابق بهره و انحراف ورودی با تنظیم مقادیر بردار های x و y ،استفاده کرد . همانطور که در شکل(۴ -۱ –ب)، نشان داده شده است از یک فیلتر پایین گذر به منظور مدل کردن محدودیت پهنای باند تقویت کننده فولدینگ استفاده شده است . بنابر این مدل رفتاری می تواند برای تحلیل هر چهار عامل غیر ایده آل مورد استفاده قرار گیرد .

٤-۳-۳ مدل درون یاب

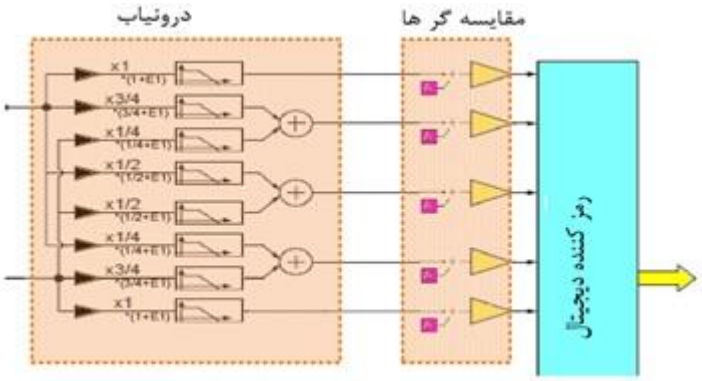
همزمان با ارائه روش فولدینگ ،درون یابی مقاومتی نیز ارائه شد تا بتواان بدون استفاده از تقویت کننده های فولدینگ بیشتر ،سیگنال های بیشتری تولید کرد . مدار ساده و مدل رفتاری یک درون یاب ۴ تایی در کل شکل(۴ -۵-الف)، و شکل(۴ -۵-ب)، آمده است . یک بلوک درون یاب ایده آل یک جمع کننده وزن دار است ولتاژ های درون یابی شده متفاوت توسط ضرایب وزنی متفاوت تولید می شوند . به هر حال مدار درون یابی نشان داده شده در شکل(۴-۵-الف)، دارای برخی عوامل غیر ایده آل از جمله خطای بهره درون یابی و تفاوت تاخیر . خطای بهره درون یابی به علت ایجاد عدم تطابق بین مقاومت های درون یابی ایجاد می شود . تفاوت تاخیر نیز به دلیل ثابت RC که با مقاومت های درون یابی و ظرفیت خازنی ورودی و خازن های

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

پارازیتی گره مقایسه گر ها شکل می گیرد ،ایجاد می شود . از شکل (۴-۵-الف)، به عنوان مثال استفاده می کنیم مسیر سیگنال از V_{inA} تا V_{out2} شامل یک مقاومت است در حالی که مسیر سیگنال از V_{inB} تا V_{out2} شامل ۳ مقاومت است . مسیر های متفاوت برای سیگنال موجب تاخیر های متفاوت می شود . اندازه های بالاتر برای مقاومت ها و ظرفیت خازنی موجب افزایش بیشتر تاخیر می شود . هر دو عامل غیر ایده آل که در بالا صحبت شد، در مدل شکل(۴-۵-ب)، آمده است .خطای بهره درون یابی با اضافه کردن یک فاکتور خطا به ضرایب وزنی مدل می شود . تغییرات تاخیر را نیز می توان با استفاده از فیلتر های پایین گذر بین ورودی های جمع کننده و ورودی سیگنال ، مدل کرد . با تغییر فرکانس قطع این فیلتر ها می توان تاخیرات متفاوت که توسط RC های متفاوت ایجاد می شوند را مدل کرد .



شکل ٤-٥ الف شماتیک مداری بلوک درون یاب مقاومتی



شکل ٤-٥ ب مدل رفتاری بلوک درون یاب مقاومتی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

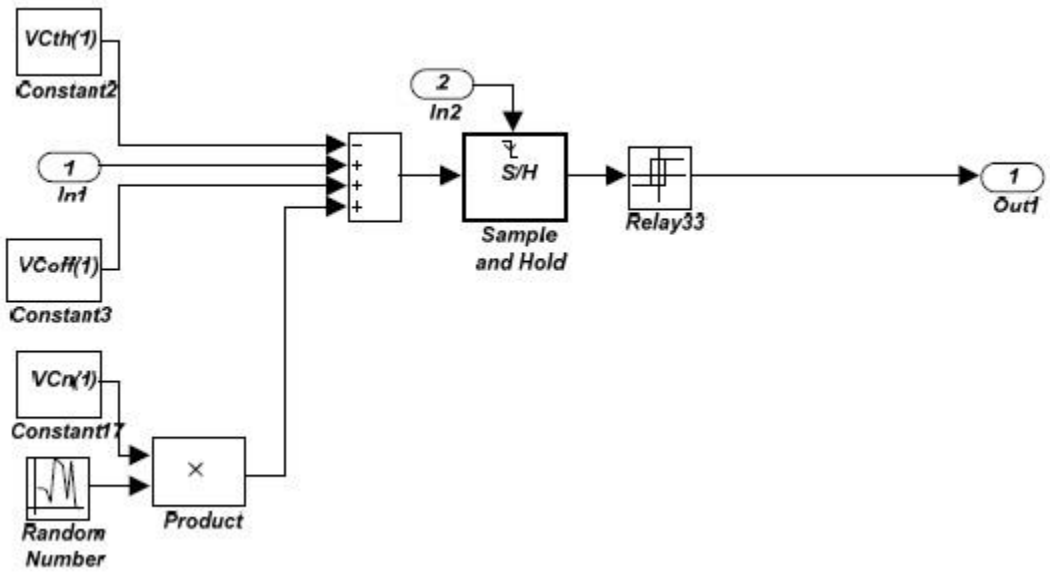
٤-٣-٤ مدل مقایسه گر

مقایسه گر ها به منظور آشکارسازی نقاط گذار از صفر سیگنال های تولید شده توسط درون یاب و تقویت کننده های فولدینگ استفاده می شود . مقایسه گر ها دو عامل ایده آل عمده دارند انحراف و محدودیت پهنای باند . انحراف مقایسه گر موجب جابه جایی نقاط گذار از صفر شده و باعث افزایش خطای DNL و INL می شود . اثر انحراف مقایسه گر با استفاده از یک بهره پیش پردازش آنالوگ که ترکیبی از بهره درون یاب و فولدر است ،کاهش می یابد . اثر پهنای باند مقایسه گر بعد از درون یاب شبیه اثری است که محدودیت پهنای باند فولدر داشت . در میان آنها ،اثر پهنای باند کمتر غالب است .در کتابخانه simulink مقایسه گر وجود دارد . برای مدل کردن انحراف مقایسه گر از تغییرات تصادفی توزیع استفاده شده است که در آن می توان مقدار متوسط و واریانس را تعریف کرد . سپس شبیه ساز مقادیر تصادفی را به عنوان ولتاژ انحراف برای هر مقایسه گر تولید می کند .

٤-٣-٥ مدل رفتاری مقایسه کننده

برای مدل ساده شده مقایسه کننده در ورودی یک مقایسه گر ایده آل، یک مدار نمونه برداری ایده آل و در ورودی نمونه بردار جمع کننده ای در نظر گرفته شده است که مقدار آستانه غیر صفر برای مقایسه کننده های مبدل درشت گام؛ افست مقایسه کننده مجموع افست استاتیک و دینامیک و نویزکیک بک ۱ را به صورت یک نویز تصادفی با ورودی جمع می کند. شکل(۴ -۶)، .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

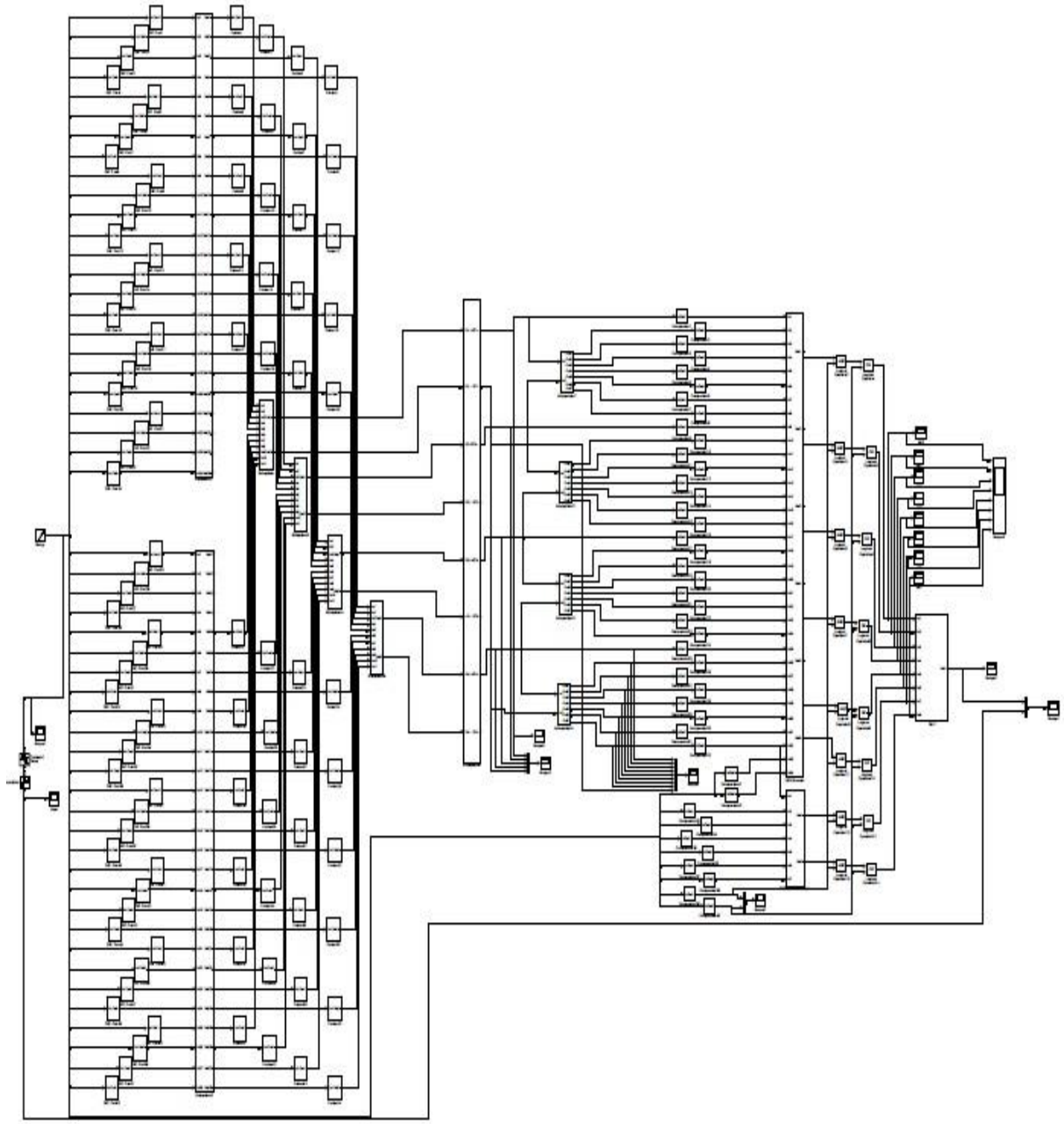


شکل ٤ - ٦ مدل رفتاری مقایسه کننده

٤-٤ مدل رفتاری سیستم مبدل فولدینک یک طبقه

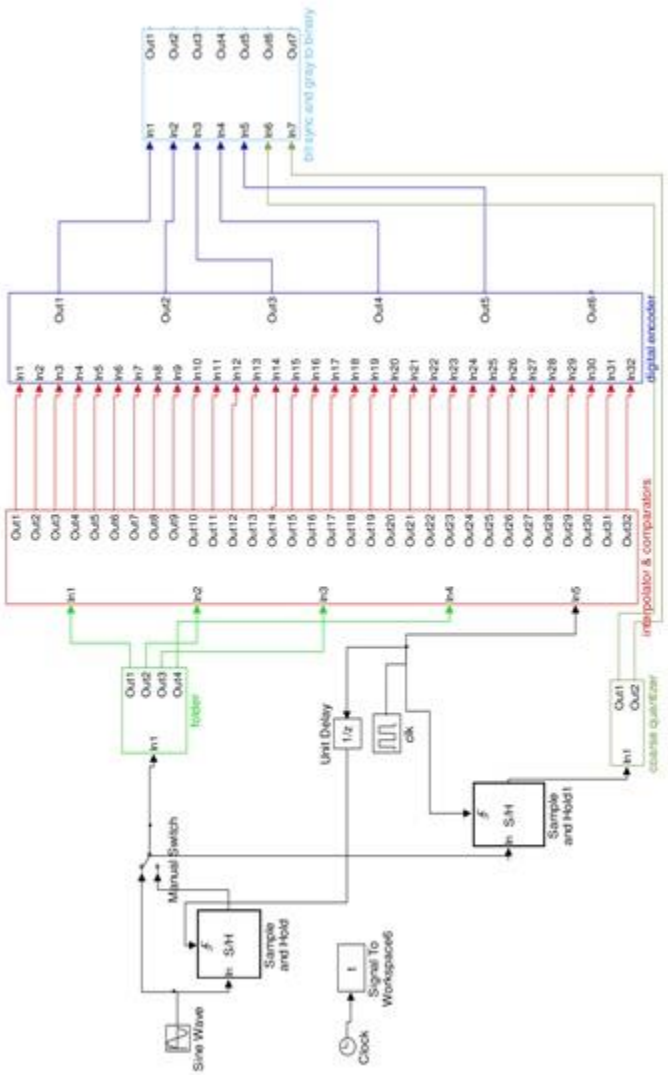
با استفاده از مدل رفتاری فولدر ،درون یاب ،مقایسه گر و سایر بلوک ها می توان سیستم مبدل آنالوگ به دیجیتال فولدینگ را در matlab simulink پیاده سازی کرد . مدل رفتاری مبدل فولدینگ یک طبقه۷ بیتی که شامل یک DAC بازسازی کننده نیز هست در شکل(۴-۸)، آمده است . جزئیات شماتیک بلوک های ساختمان اصلی در شکل(۴-۹)، آمده است . در شکل(۴-۸)، می توان از ساختار های متفاوتی برای شبیه سازی استفاده کرد. می توان از نمونه بردار و نگهدارنده استفاده کرد یا نکرد . قسمت بالایی شکل(۴-۸)، مسیر دقیق را نشان می دهد که شامل بلوک فولدینگ ، درون یاب ،بلوک مقایسه گر و کد کننده گردشی به گری می باشد . قسمت پایین مسیر درشت می باشد که شامل چندی کننده درشت است . ۲ بیت درشت و ۵ بیت دقیق در بلوک کد کننده گری به باینری ترکیب می شوند که موجب تولید کد ۷ بیتی باینری در خروجی مبدل فولدینگ یک طبقه می شود . از یک DAC ایده آل به منظور ساختن سیگنال آنالوگ از ۷ بیت باینری استفاده می شود تا در اهداف آنالیزی مورد استفاده قرار گیرند .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

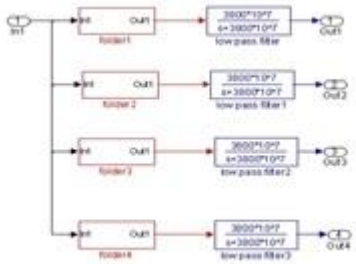


شکل ٤ - ٧ مدل رفتاری مبدل فولدینگ

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

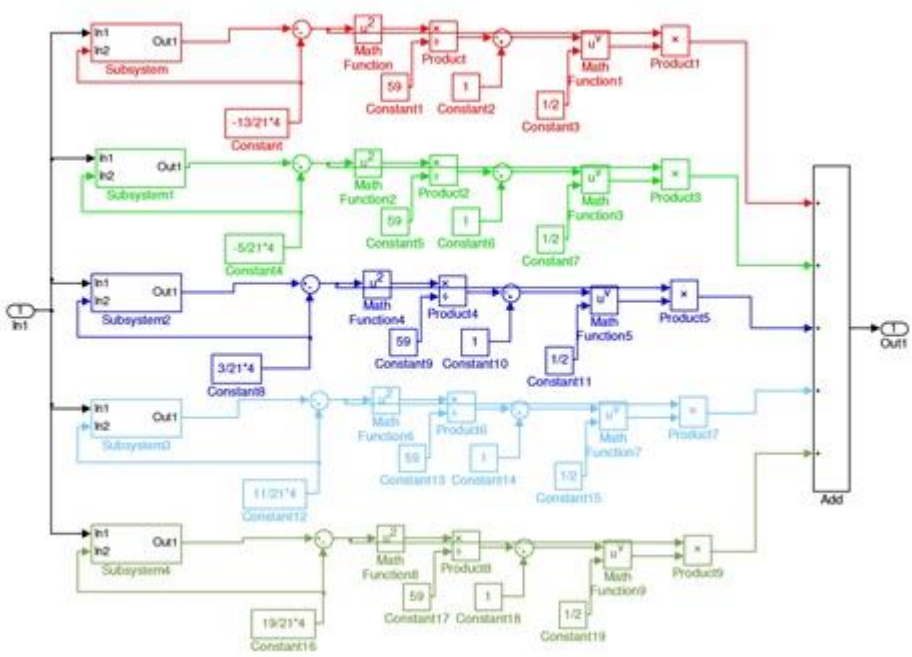


شکل ٤-٨ مدل رفتاری مبدل FgI

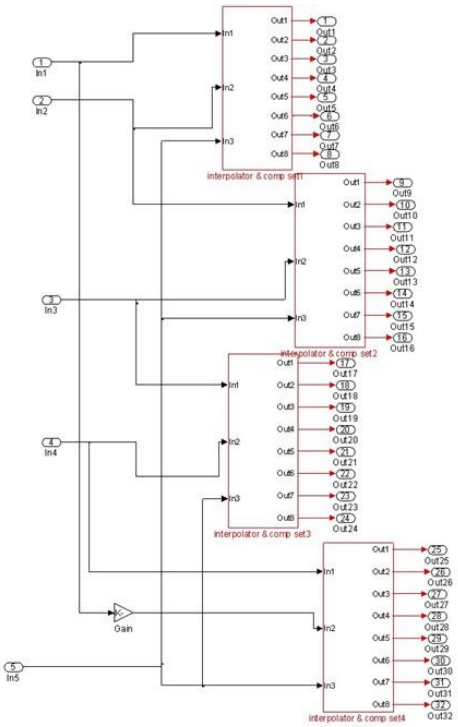


شکل ٤-٩ الف بلوک داخلی تقویت کننده فولدینگ

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

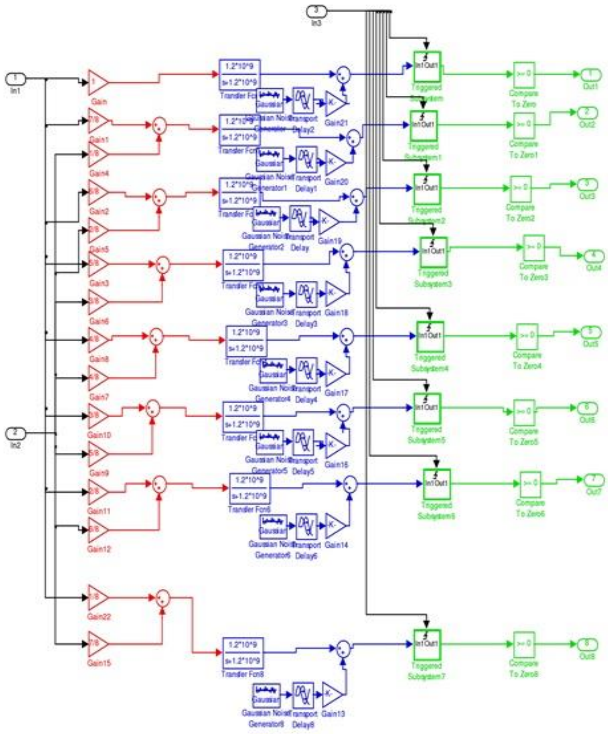


شکل ٤-٩ ب دیاگرام داخلی فولدر

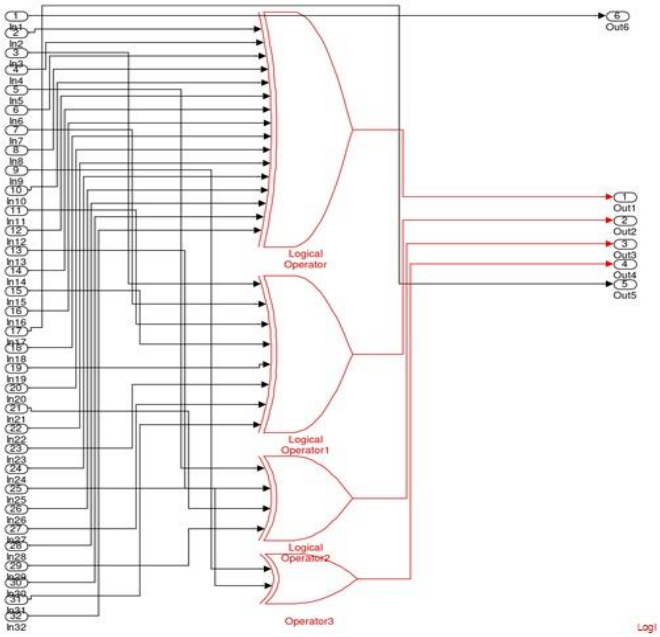


شکل ٤-٩ ج بلوک دیاگرام داخلی درون یاب

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

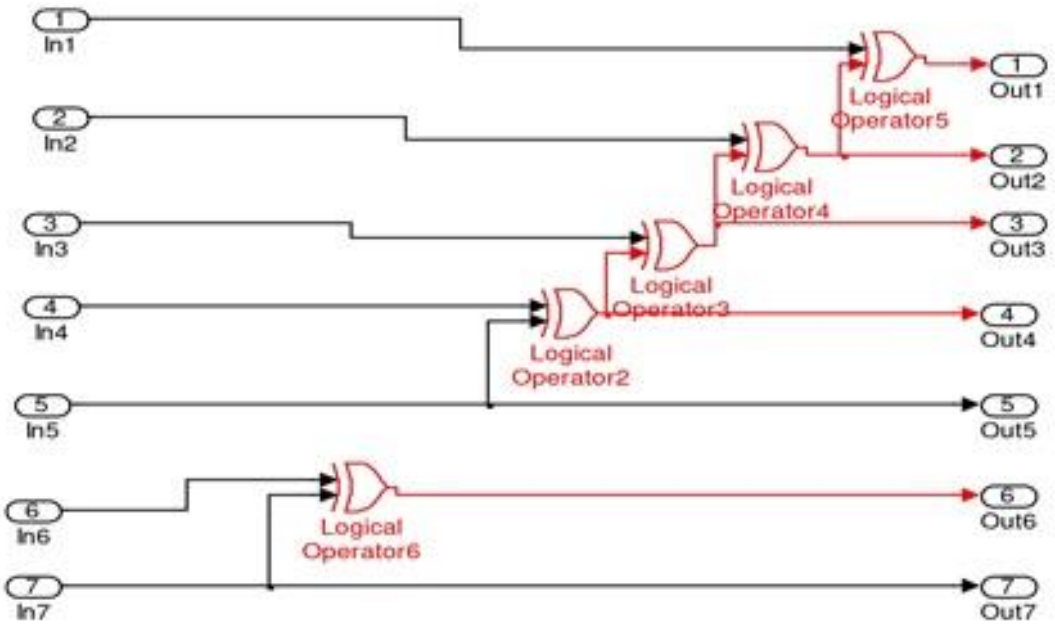


شکل ٤-٩ د دیاگرام داخلی هردرون یاب شکل ٤-٧ ج



شکل ٤-٩ ه دیاگرام داخلی رمزکننده دیجیتال

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



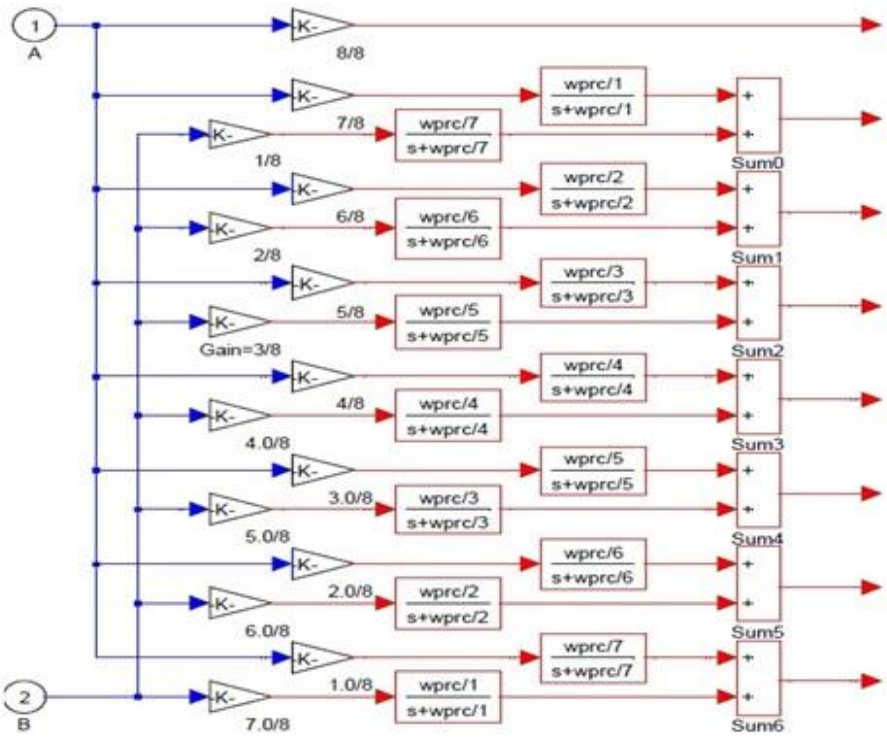
شکل ٤-٩ و دیاگرام داخلی گری به باینری

شکل ٤-٩ ز دیاگرام داخلی چندی کننده درشت

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

به منظور سهولت بررسی خروجی یک مبدل دیجیتال به آنالوگ ایده آل در خروجی در نظر گرفته شده است که از ۸ بیت باینری، یک کد بین صفر تا ۲۵۵ و نیز یک خروجی در محدوده ی ورودی می سازد. نخستین کاربرد مدل رفتاری می تواند این باشد که با در نظر گرفتن یک مدل تقریبی و ساده مشابه شکل های(۱ -۲ آیا ب)، برای زوج های دیفرانسیل و حذف تأثیر بلوک های فرعی مثل متوسط گیری، از عملکرد مبدل و به خصوص صحت ترکیب سیگنال های آنالوگ و دیجیتال اطمینان حاصل شود .در مرحله بعد مدل اجزاء سیستم با در نظر گرفتن رفتار مداری و جنبه های غیرایده آل دقیق تر شده تأثیر این خطاها روی خروجی بررسی می شود .[68] . در دنباله مدل های در نظر گرفته شده برای اجزاء سیستم می پردازیم و در موارد لازم، توضیحات بیشتری در مورد عملکرد برخی اجزاء ارائه خواهد شد. شکل(۴ –۱۰)، مدل رفتاری یکی از ۴ درون یاب ۸ تایی شکل(۴–۸–ب)، را نشان می دهد که از دو سیگنال وردی ۸ سیگنال درون یابی شده ایجاد می کند . مقادیر تصادفی با متوسط صفر برای توزیع گوسی به منظور مدل کردن خطای بهره استفاده شده است به این معنی که مثلا تقویت کننده با بهره 1/8 به صورت یک تقویت کننده با بهره (8/ε1)1+ مدل می شود که ε ترم خطای بهره درون یابی است. این تفاوتها باید براساس پارامتر های پروسه از قبیل محدوده های عدم تطابق ترانزیستور و مقاومت تعریف کرد . اثر محدودیت پهنای باند در درون یاب به علت مقاومت درون یابی و ظرفیت خازنی ورودی مقایسه گر مانند یک فیلتر پایین گذر چند قطبی عمل می کند . برای ساده تر شدن مدل در اینجا از فیلتر پایین گذر تک قطبی استفاده شده است . پهنای باند فیلتر های پایین گذر به بهره تقویت کننده قبل از آنها وابسته است . برای مثال پهنای باند فیلتر بعد از تقویت کننده با بهره 7/8 به صورت 1/RC تقریب زده می شود چون سیگنال در مسیر از یک شبکه RC عبور می کند . به طور مشابه اگر بهره i/8 باشد پهنای باند متناسب با آن 1/RC(8-i) خواهد بود که در آن i=1,2…,7 می باشد . برای درون یاب های جریانی که از آینه جریان استفاده می کنند ،پهنای باند برای همه خروجی های درون یاب یکسان هستند که مربوط به پهنای باند آینه جریان می شود . بنابراین در درون یاب های مد جریان عدم تطابق تاخیر وجود ندارد . مدل رفتاری نشان داده شده در شکل(۴–۱۰)، می تواند به عنوان مدل درون یاب های بر اساس آینه جریان نیز استفاده شود ولی با این تفاوت که تمام فیلتر های پایین گذر دارای فرکانس قطع یکسان می باشند .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

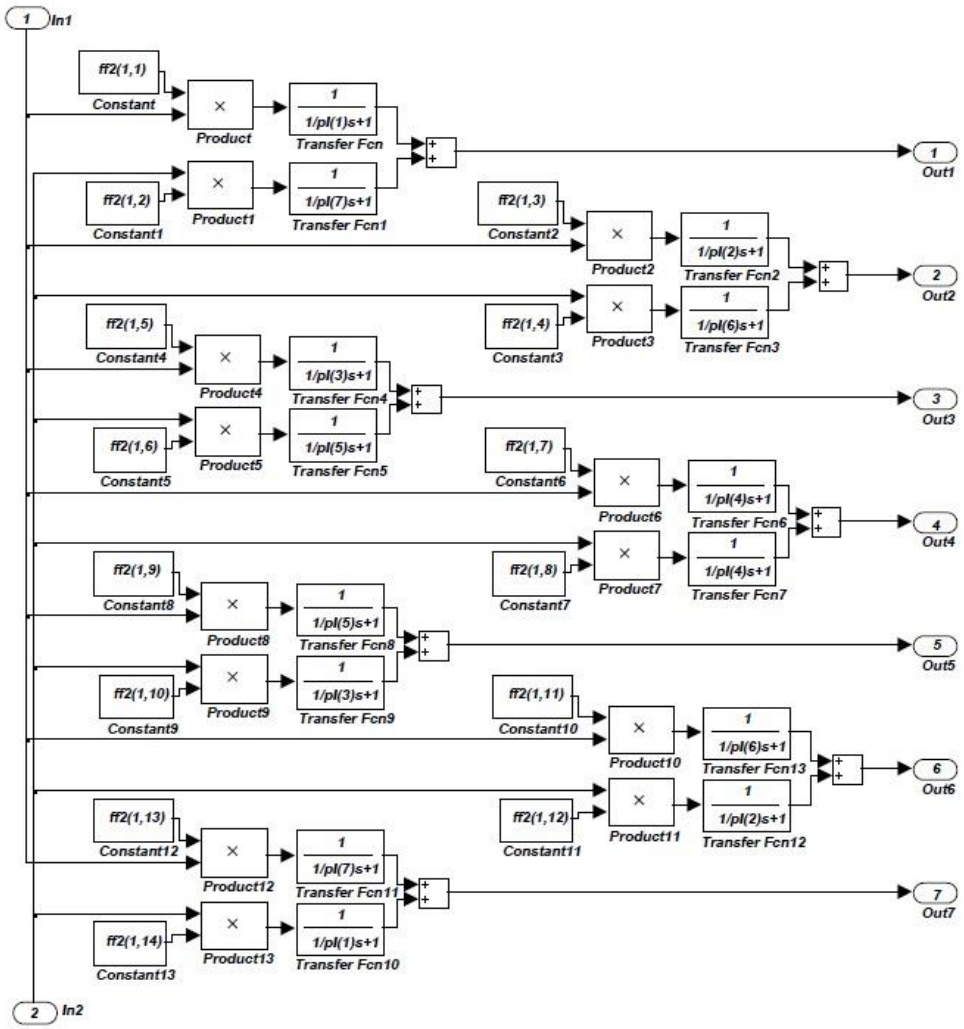


شکل ٤-١٠ مدل رفتاری درون یاب در Simulink

٤-٥ شبکه درون یابی

شبکه مقاومتی درون یابی با ضریب ۸ را می توان به صورت ۷ بلوک در نظر گرفت که ۲ ورودی مشترک دارند و هر یک ضریب i/8 از ۱ ورودی و(8-i/8)، از ورودی دیگر را با هم جمع کرده و خروجی را می سازند .علاوه بر این کل این شبکه، عمل متوسط گیری را نیز انجام می دهد که این عملکرد می تواند مشابه شبکه متوسط گیری پیش تقویت کننده ها مدل شود. نکته ای که در رفتار دینامیک شبکه درون یابی می تواند ایجاد خطا کند، ثابت زمانی های متفاوت خروجی های مختلف است که در مدل با در نظر گرفتن توابع تبدیل پایین گذر با فرکانس قطع های مختلف در خروجی ها مدل می شوند .شکل (۴ -۱۱)، مدل رفتاری طبقهٔ درون یابی را نشان می دهد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-١١ شبکه درون یاب

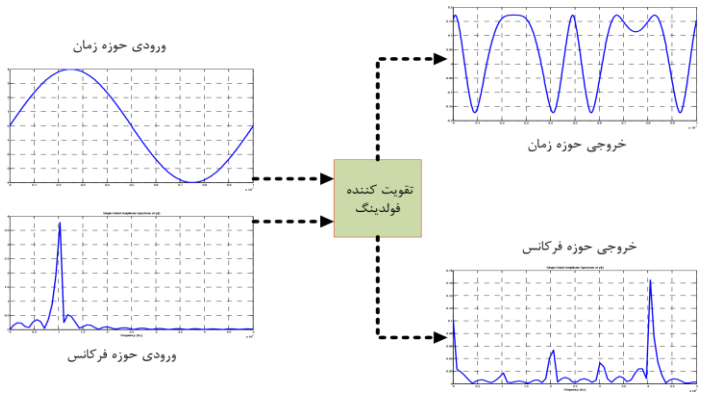
٤-٦ شبیه سازی رفتار مبدل فولدینگ همراه با عوامل غیر ایده آل

در این قسمت مدل رفتاری ارائه شده در شکل(۴-۸)، به منظور شبیه سازی عوامل غیر ایده آل اصلی در مبدل فولدینگ یک طبقه ،استفاده شده است . در اینجا اثرات عوامل غیر ایده آل اصلی از قبیل محدودیت پهنای باند فولدر ،عدم تطابق در بهره ،خطای بهره درون یابی ،انحراف فولدر و درون یاب بر روی کارایی مبدل فولدینگ یک طبقه مورد بررسی قرار می گیرد .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

٤-٦-١ اثر ضرب فرکانسی

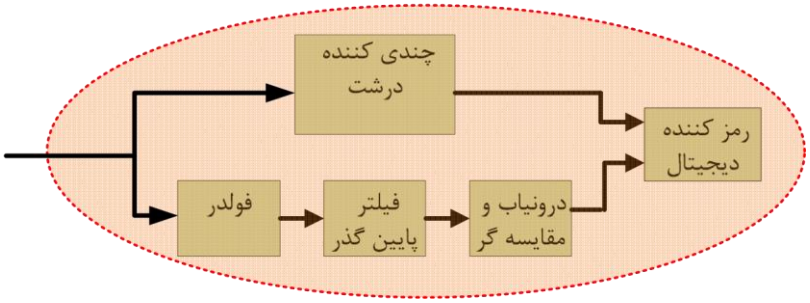
اثر ضرب فرکانسی در مبدل های فولدینگ یک طبقه ،به واسطه مشخصه انتقال تقویت کننده فولدینگ، ذاتی است . شکل(۴ -۱۲)، ورودی و خروجی یک تقویت کننده فولدینگ ۴ تایی را نشان می دهد . بعد از عملکرد فولدینگ، یک سیگنال ورودی زمان پیوسته سینوسی به یک خروجی پیچیده با ضرایب فرکانسی متفاوت تبدیل می شود . در این مثال هارمونیک چهارم از همه قابل ملاحظه تر است . این به این مفهوم نیست که در تقویت کننده فولدینگ ۴ تایی همیشه هارمونیک چهارم از همه قوی تر است بلکه با توجه به مشخصه انتقال ،ممکن است هارمونیک پنجم یا ششم از همه قوی تر باشند . این اثر ضرایب فرکانسی است . واضح است که فاکتور ضرایب تقریبا متناسب با فاکتور فولدینگ است بنابراین برای یک فولدر با فاکتور بالاتر اثر ضرایب فرکانسی جدی تر است .



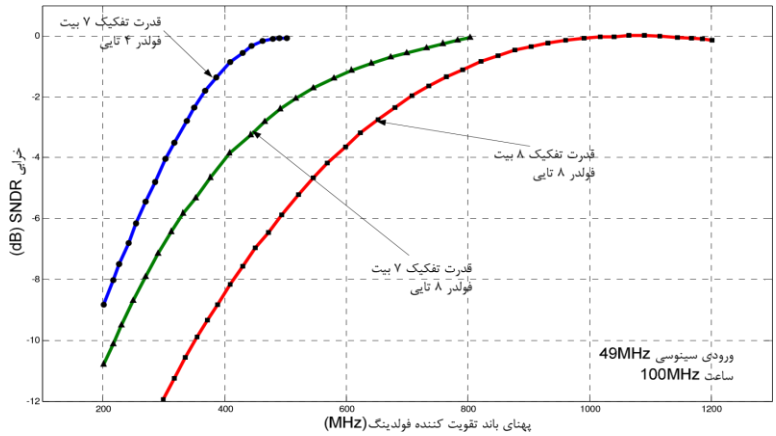
شکل ٤-١٢ اثر ضرایب فرکانسی در تقویت کننده فولدینگ ٤ تایی

اگر پهنای باند تقویت کننده فولدینگ و یا سایر بلوک های آنالوگ به حد کافی بزرگ نباشد ،این سیگنال فرکانس بالای داخلی موجب خرابی عملکرد دینامیک مبدل فولدینگ یک طبقه می شود . اول ،احتیاج به بلوک پیش پردازنده آنالوگ است که شامل فولدر ها و درون یاب هاست که پهنای باند بالایی داشته باشند. به این مفهوم که با ضریب از بیشینه فرکانس ورودی بالاتر باشد. برای مثال اگر فرکانس سیگنال ورودی 150MHz باشد. پهنای باند تقویت کننده فولدینگ می بایست باید بالاتر از 1.5GHz باشد. تا خرابی جدی به عملکرد مبدل وارد نشود. دوم ،slew rate تقویت کننده فولدینگ و درون یاب باید به حد کافی بزرگ باشد تا مانع از گردش سیگنال شود . رسیدن به پهنای باند و slew rate بالا نیاز به جریان بایاس بالایی دارد . برای مبدل های فولدینگ یک طبقه کم توان محدودیت توان تحمیلی است .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-١٣ الف چیدمان شبیه سازی اثر محدودیت پهنای باند تقویت کننده بر روی SNDR



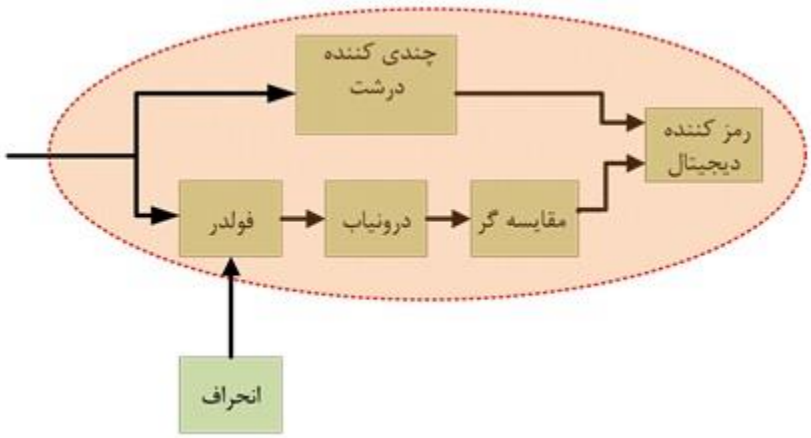
شکل ٤-١٣ ب نتیجه شبیه سازی اثر محدودیت پهنای باند تقویت کننده بر روی SNDR

خراب شدن کارایی به علت اثر ضرایب فرکانسی را می توان با مدل رفتاری شبیه سازی کرد . در شکل(۴-۱۳-الف)، نحوه شبیه سازی رفتار نشان داده شده است که در آن فیلتر پایین گذر بعد از فولدر ایده آل قرار گرفته است تا محدودیت فرکانس را مدل کند . شکل(۴-۱۳-ب)، خرابی SNDR وابسته به فاکتور فولدینگ و قدرت تفکیک مبدل فولدینگ نشان می دهد . با در نظر گرفتن مبدل های فولدینگ یک طبقه با فاکتور فولدینگ یکسان (۸ تایی)، قدرت تفکیک بالاتر نیازمند پهنای باند بیشتر است. برای مبدل های فولدینگ با FET قدرت تفکیک ورودی سینوسی یکسان ومبدلی که فاکتور فولدر بالاتری دارد. (۸ تایی)، نیازمند پهنای باند بزرگتری است . برای مبدل ۸ بیتی با تقویت کننده فولدر ۴ تایی، به ازای ورودی سینوسی 49MHz باید پهنای باند 500MHz را داشته باشد. با قدرت تفکیک یکسان این پهنای باند به ازای تقویت کننده فولدر ۸ تایی تا 800MHz افزایش می یابد. افزایش فاکتور فولدینگ به مفهوم صرفه جویی بیشتر در توان و فضای اشغالی است که به واسطه کاهش مقایسه کننده هاست ولی اثر ضرایب فرکانسی بسیار جدی تر خواهد بود .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

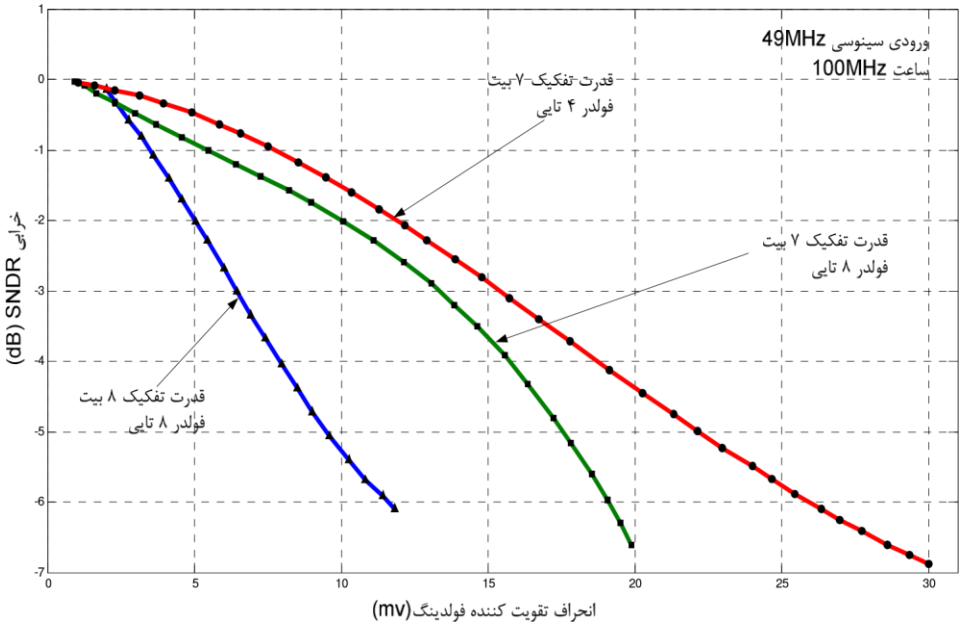
٤-٦-٢ انحراف تقویت کننده فولدینگ

با توجه به عدم تطابق ترانزیستورها،تقویت کننده های شامل زوج های تفاضلی دارای انحراف خواهند بود . در طرح مبدل A/D انحراف موجب خرابی خطی بودن می شود از این رو موجب محدود شدن قدرت تفکیک می شود . در مورد تقویت کننده فولدینگ، انحراف زوج های تفاضلی موجب جابجایی نقاط گذار از صفر از جای ایده آل شان می شود که این امر موجب خرابی خطی بودن و در نهایت موجب کاهش NDR می شود. شکل(۴-۱۴-الف)، نحوه شبیه سازی رفتار را نشان می دهد که در آن محور افقی نشان دهنده ولتاژ انحراف است. بیشینه نوسان مبدل فولدینگ ۴ ولت می باشد. بنابر این یک LSB از این مبدل ۸ بیتی برابر 31.25mv است. هر کدام از نقاط گذار از صفر یک مقدار تصادفی با توزیع گوسی اختصاص داده شده است . مقدار متوسط و انحراف از معیار بر اساس پارامترهای عدم تطابق پروسه تعیین می شوند . برای مثال اگر انحراف کمتر از 10mv باشد می توان انحراف ازمعیار را به میزان 1/3 آن تعیین کرد. شکل(۴ -۱۴ –ب)، نتایج شبیه سازی را نشان می دهد. همانطور که نشان داده شده است. قدرت تفکیک های بالاتر نیاز دقیق تری به توجه به انحراف فولدر دارند و می توان گفت خرابی در اثر انحراف در فولدر مستقل از فاکتور فولدینگ است. محدوده بالای قابل قبول برای انحراف حدود 1/4 تا 1/2 LSB می باشد .



شکل ٤-١٤ الف چیدمان شبیه سازی اثر انحراف بر رویSNDR

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-١٤ – ب نتیجه شبیه سازی اثر انحراف بروی SNDR

٤-٧ پیش تقویت کننده

همانگونه که اشاره شد، پیش تقویت کننده ها تقویت کننده های تفاضلی با بار مقاومتی یا بار فعال هستند. افست ورودی این تقویت کننده ها بر اساس سطح ترانزیستورهای ورودی و مشخصات تکنولوژی به صورت زیر محاسبه می شود.

(1-4)

$$V_{off} = \frac{(V_{GS} - V_{th})}{2}\left(\frac{\Delta R_D}{R_D} + \frac{\Delta(W/L)}{W/L}\right) - \Delta V_{th}$$

در این رابطه RD مقاومت خروجی و Vth□ اختلاف ولتاژ آستانه دو ترانزیستور ورودی است که به صورت زیر محاسبه می شود.

$$\Delta V_{th} = \frac{A V_{th}(V_{GS} - V_{th})}{\sqrt{W.L}}$$

(2-4)

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

AVth متناسب با ضخامت لایه اکسید است . (در تکنولوژی مورد استفاده0 / 18) ، میکرون CMOS حدوداً برابر ۵ میلی ولت.میکرون است.[69] میزان نویز ورودی پیش تقویت کننده با صرف نظر کردن از نویز فیلتر ۱ از رابطه زیرمحاسبه می شود.

(3-4)

$$\overline{v_n^2} = 8kT\left(\frac{2}{3g_m} + \frac{1}{g_m^2 R_D}\right)$$

این نویز به صورت حاصل ضرب مقدار ثابتی برابر انحراف معیار نویز در یک عدد تصادفی و جمع حاصل ضرب با سیگنال ورودی مدل می گردد. در نظر گرفتن رابطه ساده درجه دو بین ورودی و خروجی در عمل برای تکنولوژی مورداستفاده تقریب خوبی نیست و تابع تانژانت هیپربولیک این رابطه را دقیق تر مدل می کند . در مدل بکار رفته از شبیه سازی مداری یک تقویت کننده تفاضلی ساده با بار مقاومتی برای تشکیل جدول مشخصه ورودی –خروجی ۲ استفاده شد. تا در هر مرحله از طراحی که نسبت (W/L) ، ترانزیستورها یا نقطه کار پیش تقویت کننده تغییر می کند، با جایگزینی مشخصه جدید تأثیر آن روی عملکرد قابل بررسی باشد. برای شبیه سازی رفتار دینامیک با فرض تک قطبی بودن پاسخ فرکانسی صرف نظر کردن از صفر تابع + تبدیل تأثیر قطب خروجی به صورت یک تابع پایین گذر با فرکانس قطع و Cout مجموعه خازن های گروه خروجی است. که عمدتاً شامل خازن گیت - سورس طبقه بعد تقویت کننده فولدینگ و خازن گیت – درین ترانزیستور ورودی با در نظر گرفتن اثر مسیر است. شکل(۴ -۱۵)، مدل رفتاری پیش تقویت کننده را نشان می دهد.

(4-4)

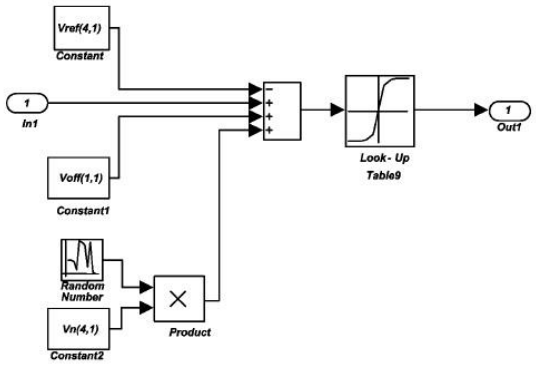
$$\omega_L = \frac{1}{2\pi R_{out} C_{out}}$$

مدل شد که در این رابطه:

(5-4)

$$R_{out} = R_{out} \| r_O$$

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-١٥ مدل رفتاری پیش تقویت کننده

پیش تقویت کننده ها زو ج های تفاضلی با بار مقاومتی هستند. علت انتخاب بارهای مقاومتی این است که بتوان ولتاژ مشترک خروجی ها را نزدیک به تغذیه در مورد پیش تقویت کننده های NMOS و نزدیک به زمین در مورد پیش تقویت کننده ها PMOS قرار داد استفاده از بارهای فعال بصورت اتصال دیودی، ولتاژ مشترک خروجی را حداقل به اندازه ولتاژ آستانه پایین تر بالاتراز تغذیه زمین قرار خواهد داد و استفاده از بارهای فعال بصورت منبع جریان، به فیدبک مشترک نیاز دارد که باعث پیچیده شدن طراحی پیش تقویت کننده می گردد. علاوه بر این در حالت کلی برای داشتن تطابق بیشتر در مورد مقاومت های بار باید سطح آنها را افزایش داد و اینکار خازن پارازتیک گره مربوطه را افزایش می دهد. باتوجه به مقادیر ارائه شده توسط سازند.[70] . مشخص می شود که با مقاومت های پالی خالص یک تطابق کافی بین دو مقاومت با درنظر گرفتن یک سطح معقول و با خازن پارازتیک نسبتاً کم می تواند ایجاد شود.

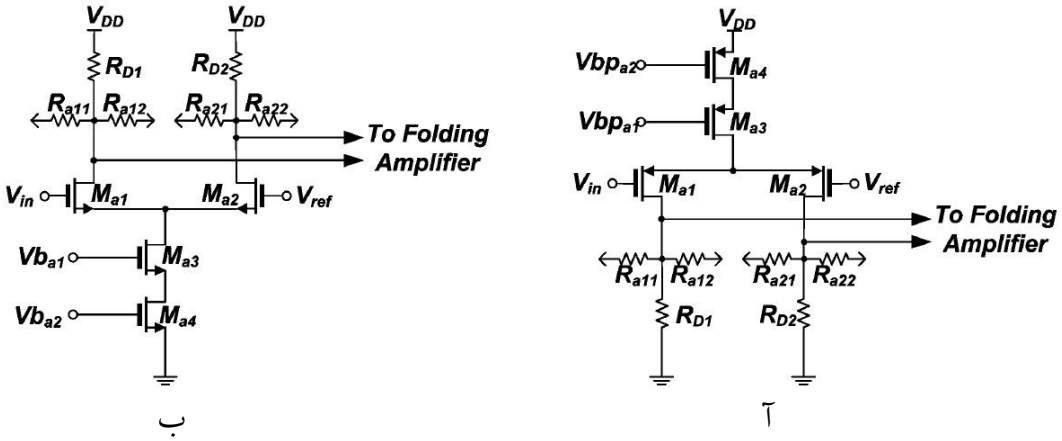
(3-5)

$$W = 2\mu,\ L = 20\mu \Rightarrow \frac{\Delta R}{R} = 0.2\%$$

از آنجا که اختلاف ولتاژ آستانه ترانزیستورهای ورودی پیش تقویت کننده از عوامل اصلی تعیین کننده افست ورودی است سطح این ترانزیستورها نسبتاً بزرگ در نظر گرفته می شود. طول کانال این ترانزیستورها از طول حداقل 0 / 18 میکرون. (بیشتر در نظر گرفته می شود تا اولاً خازن های همپوشانی)، که با پهنای کانال متناسب هستند. زیاد از حد بزرگ نشوند و نیز کوچک شدن مقاومت خروجی ترانزیستور بهره را کاهش ندهد .در تعیین جریان منبع جریان، باید تعادلی بین عوامل مختلف ایجاد نمود .از یک طرف افزایش جریان در حالت کلی بهبود پاسخ فرکانسی را به دنبال خواهد داشت ولی از طرف دیگر در مورد پیش تقویت کننده هایی که نزدیک به مرز بین دو زیر محدوده قرار می گیرند،($\mathrm{Vref} \approx 0.7\mathrm{v}$) ، فضای ولتاژی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

دوکمی برای منبع جریان پیش تقویت کننده وجود دارد و هرچه جریان بیشتر باشد، ترانزیستورهای منبع جریان به سمت ناحیه ترایود حرکت می کنند که این باعث افت مقاومت خروجی آنها و درنتیجه تفاوت جریان پیش تقویت کننده های مجاور خواهد شد. که درنهایت به تغییر بهره بلوک های فولدینگ و خطای متوسط گیری منجرمیشود. همچنین اگر بتوان با پایین نگاه داشتن جریان و افزایش نسبت W/L ترانزیستورهای ورودی کاری کرد که ترانزیستورهای ورودی در وارونگی ضعیف سه کار کنند، تغییرات خازن ورودی آنها کمتر خواهد بود زیرا خازن گیت سورس در این و ضعیت، با تغییر جریان ترانزیستور تغییر چندانی نمی کند. برای آنکه تطابق بین جریان منبع پیش تقویت کننده های هم نوع یکسان باشد، باید ترانزیستورهای سازنده این جریان ها سطح کافی داشته باشند و از طرف دیگر برای جلوگیری از افزایش خازن گره سورس مشترک و نیز افزایش امپدانس خروجی منبع جریان، یک ترانزیستور نسبتاً کوچک سری با ترانزیستور تعیین کننده جریان قرار می گیرد تا تشکیل یک منبع جریان کسکود دهد .شکل(۴ -۱۶)، مدار پیش تقویت کننده را نشان می دهد.



شکل ٤ - ١٦ آ (پیش تقویت کننده PMOS **ب (پیش تقویت کننده**NMOS

٤-٧-١ تقویت کننده فولدینگ

در مدل رفتاری تقویت کننده فولدینگ، ولتاژ افست مربوط به این زوج تفاضلی و نیز تأثیر انحراف مقدار جریان منبع جریان زوج تفاضلی از مقدار ایده آل که در واقع مقدار اشباع مشخصه را می سازد در نظر گرفته شده است .میزان خطای جریان از رابطه زیر قابل محاسبه است.[71].

(6-4)

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

$$\frac{\sigma^2(I_D)}{I_D^2} = \frac{4\sigma^2(V_{T0})}{(V_{GS}-V_{th})^2 W.L} + \frac{\sigma^2(\beta)}{\beta^2}$$

در این رابطه ID جریان ایده آل منبع جریان زوج های تفاضلی (VGS-Vth) اختلاف ولتاژ گیت س ورس ترانزیستورهای اصلی این منابع جریان است و□□ ضریب جریان است.

(7-4)

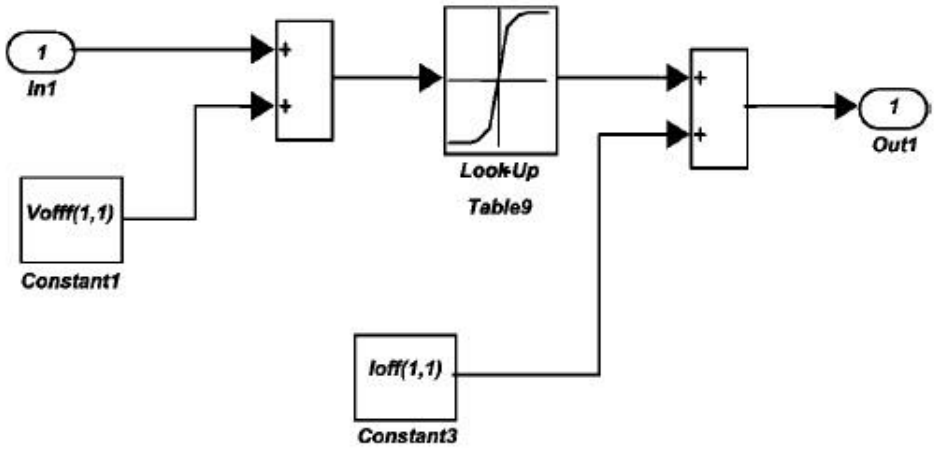
$$\frac{\sigma^2(I_D)}{\beta^2} \approx \frac{A_\beta^2}{W.L}$$

با استفاده از رابطه (4 -7) و رابطه (4 -6) رابطه زیر برای میزان انحراف جریان ها به دست می آید.

(8-4)

$$\frac{\sigma^2(I_D)}{I_D^2} = \frac{4AV_{th}}{(V_{GS}-V_{th})^2 W.L} + \frac{A_\beta^2}{W.L}$$

مقدار□□A برای تکنولوژی 0 / 18 میکرون حدوداً1 درصد. میکرون است .[72]. برای مدل کردن این خطا، جریان خروجی تقویت کننده فولدینگ در (ID+□(ID))/ID ضرب می شود. شکل(۴ -۱۷)، مدل رفتاری تقویت کننده فولدینگ را نشان می دهد. مشابه پیش تقویت کننده ها، مشخصه ورودی – خروجی این زوج های تفاضلی با استفاده از شبیه سازی مداری به دست آمده و در مدل جایگزین شده اند.

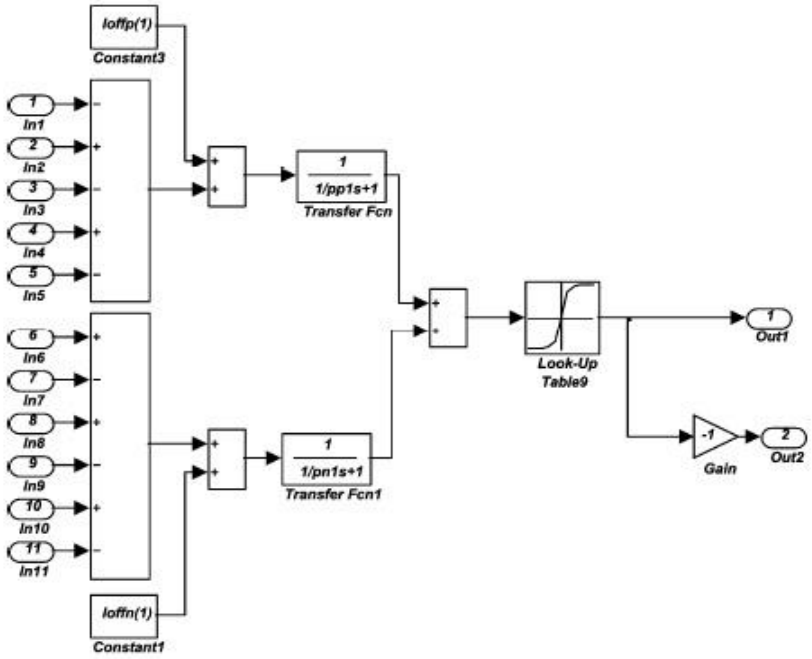


شکل ٤-۱۷ مدل رفتاری تقویت کننده فولدینگ

جریان های خروجی تقویت کننده های فولدینگ در دو مرحله با یکدیگر جمع می شوند . درخروجی هر یک از این جمع کننده ها، یک تابع پایین گذر برای مدل کردن قطب گره های جمع کننده قرار داده شده

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

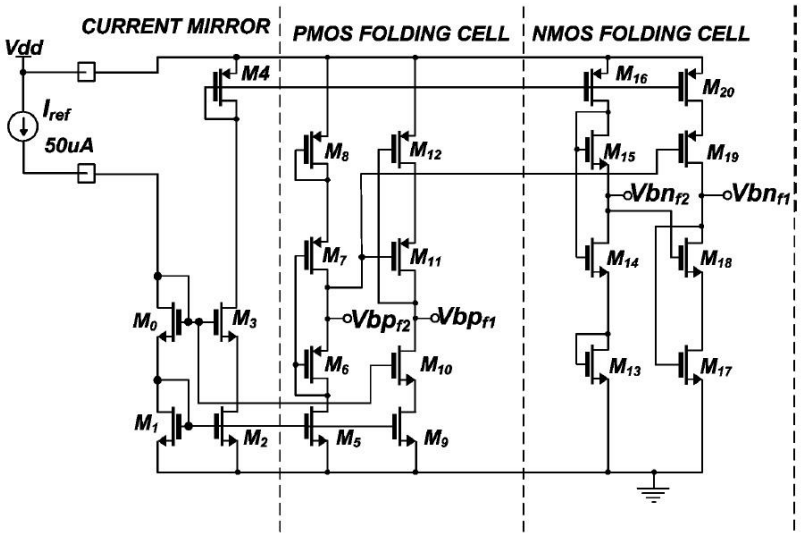
است و نیز یک مقدار جریان افست ثابت برای مدل کردن خطای عدم تطابق منابع جریان ثابت در نظرگرفته شده است شکل(۴ -۱۸).



شکل ٤-۱۸ مدل گره خروجی بلوک های فولدینگ

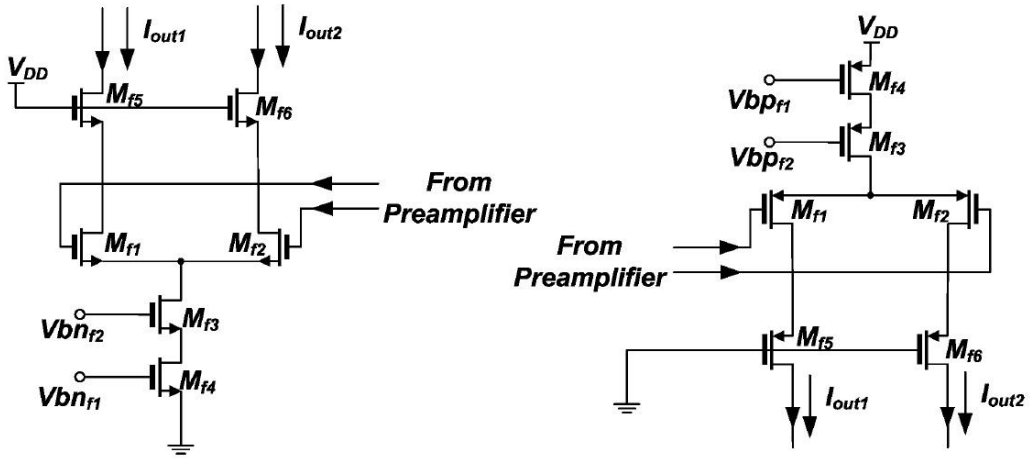
در طراحی تقویت کننده های فولدینگ، تطابق منابع جریان از اهمیت بیشتری برخوردار است لذا سطح در نظر گرفته شده برای ترانزیستورهای تعیین کننده مقدار جریان به مراتب بیشتر است و این منابع نیز بصورت کسکود ۱ طراحی شده اند .برای آنکه جریان های تقویت کننده های NMOS و PMOS با دقت کافی با هم برابر باشند، از مداری مطابق شکل(۴ -۱۹)، برای ایجاد بایاس ترانزیستورهای منبع جریان استفاده شد.
با توجه به بهره پیش تقویت کننده (≈ 3)، و اثر متوسط گیری، تطابق ترانزیستورهای ورودی تقویت کننده فولدینگ از نقطه نظر تولید افست از اهمیت کمتری نسبت به پیش تقویت کننده ها برخوردار هستند و می توان آنها را کوچکتر در نظر گرفت.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤ - ١٩ مدار بایاس منابع جریان NMOS وPMOS

از آنجا که جریان تعدادی از این ترانزیستورها باید در یک گره با یکدیگر جمع شوند، برای جلوگیری از افزایش بار خازنی این گره می توان از ترانزیستورهای کسکود در خروجی تقویت کننده های فولدینگ استفاده کرد. [73]. شکل(۴ -۲۰)، مدار تقویت کننده های فولدینگ را نشان می دهد.

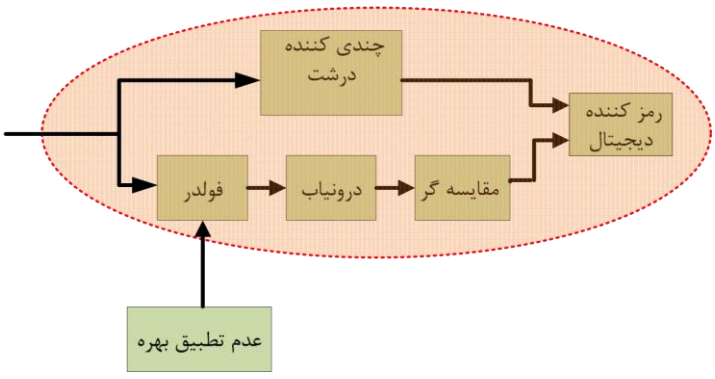


شکل ٤ - ٢٠ تقویت کننده های فولدینگ NMOS وPMOS

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

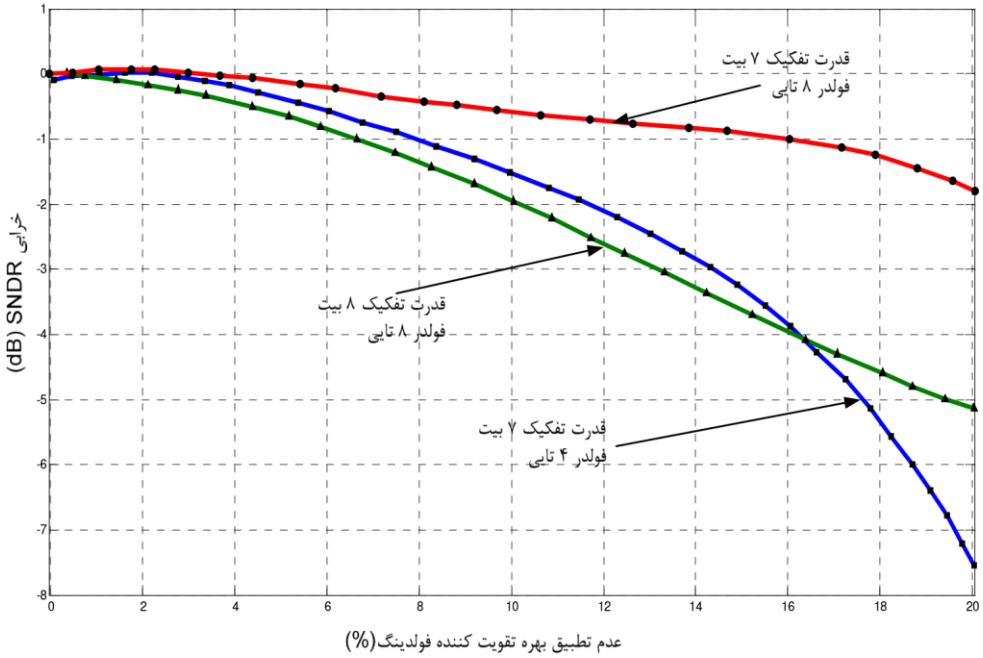
٤-٨ عدم تطابق بهره تقویت کننده فولدر

در حالت ایده آل مشخصه انتقال تقویت کننده فولدینگ باید به صورت تکه ای خطی باشد ولی به دلیل عدم تطابق بین زوج های تفاضلی متفاوت در تقویت کننده فولدینگ ، شیب هر قسمت خطی ممکن است متفاوت باشد . به سبب عدم تطابق بهره ،نقاط گذار از صفر سیگنالهای تولید شده توسط درون یاب از جای ایده آل شان جابجا می شوند. همانطور که در قسمت قبلی گفته شد یک فولدر ۴ تایی شامل ۵ زوج تفاضلی است و نیاز به یک جمع کننده است تا خروجی ۵ زوج تفاضلی را جمع کند تا خروجی شبه سینوسی یا مثلثی مشخصه انتقال را تولید کند . برای مدل کردن عدم تطابق بهره ،یک طبقه بهره بین زوج تفاضلی و جمع کننده قرار می گیرد . بهره $(1+\varepsilon)$، می باشد که ε یک متغیر تصادفی توزیع گوسی است و عدم تطابق بهره را مدل می کند . مقدار متوسط و انحراف از معیار تابع گوسی نیز باید مشخص شوند . نحوه شبیه سازی رفتار در شکل(۴ -۲۱-الف)، آمده است و نتایج آن نیز در شکل(۴-۲۱-ب)، آمده است . با توجه به شکل برای مبدل های فولدینگ یک طبقه با فاکتور فولدینگ یکسان ۸ ،SNDR مبدل ۸ بیتی با سرعت بیشتری نسبت به مبدل 7 بیتی کاهش می یابد . این نتیجه بیان کننده این است که مبدل های با قدرت بالاتر نیاز به درون یابی دقیق تری دارند . به هر حال با قدرت تفکیک یکسان ۷ بیت ،مبدل فولدینگ یک طبقه با فاکتور فولدینگ ۴ تایی نسبت به ۸ تایی از کارایی بدتری برخوردار است . این به این دلیل است که مبدل ۷ بیتی با فاکتور فولدینگ ۸ فاکتور درون یابی کوچکتری نسبت به مبدل با فاکتور فولدینگ ۴ که دارای فاکتور درون یابی ۸ است ،را داراست . با عدم تطابق شیب یکسان ،فاکتور درون یابی بزرگتر موجب خطای خطی بیشتر می شود. و شیب غیر خطی فاکتور فولدینگ کارایی را بیشتر خراب می کند . شکل(۴ -۲۰)، مشخص می کند که عدم تطابق بهره با انحراف استاندارد کمتر از 4٪ موجب خرابی ناچیز SNDR می شود .



شکل ٤-٢١ الف چیدمان شبیه سازی اثر عدم تطبیق بهره تقویت کننده فولدینگ بروی SNDR

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٤-٢١ ب – نتیجه شبیه سازی اثر عدم تطبیق بهره تقویت کننده فولدینگ بر روی SNDR

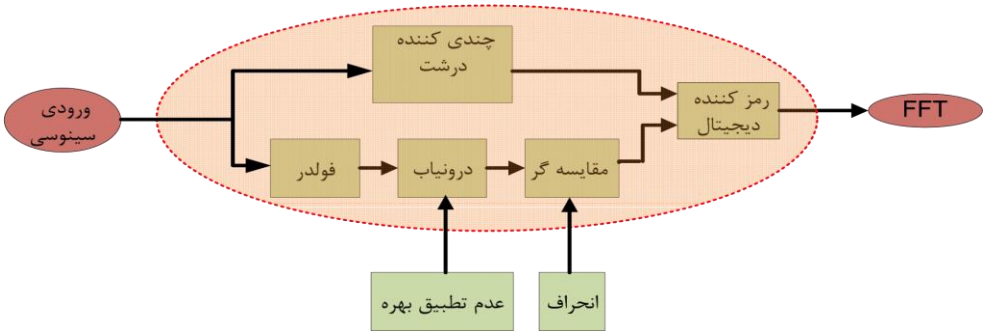
٤-٨-١ خطای بهره درون یاب

یک درون یاب به منظور تولید شکل موج های بیشتر از دو شکل موج اولیه فولدینگ استفاده می شود . برای مثال برای یک درون یاب ۴ تایی با دو ورودی V_A و V_B ،باید ۳ سیگنال اضافی فولدینگ تولید شود. $0.75V_A+0.25V_B$، $0.5V_A+0.5V_B$،$0.25V_A+0.75V_B$. بهره درون یاب به مفهوم ضرایب از25.0 تا75.0 توسط مقاومت های درون یابی ایجاد می شوند. یا اندازه ترانزیستور در حالت های درون یابی جریانی به دلیل عدم تطابق در مقاومت ها (یا ترانزیستورها) ،مقدار ضرایب با مقدار ایده آل شان یکسان نخواهد بود به این معنی که دارای خطا خواهند بود . در شکل(۴-۲۲)، تغییرات SNDR به علت دو عامل غیر ایده آل خطای بهره درون یابی به درصد و انحراف مقایسه گر نشان داده شده است . شبیه سازی بر روی مبدل ۷ بیتی با فاکتور فولدینگ ۴ و فاکتور درون یابی ۸ انجام شده است . همانطور که نشان داده شده است در هر سه حالت با افزایش خطای بهره درون یابی SNDR کاهش می یابد . در زمانی که خطای درون یابی کوچک باشد ، انحراف مقایسه گر غالب است . خطای درون یابی کوچکتر از ٪5 خرابی قابل ملاحظه ای در SNDR ایجاد نمی کند .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

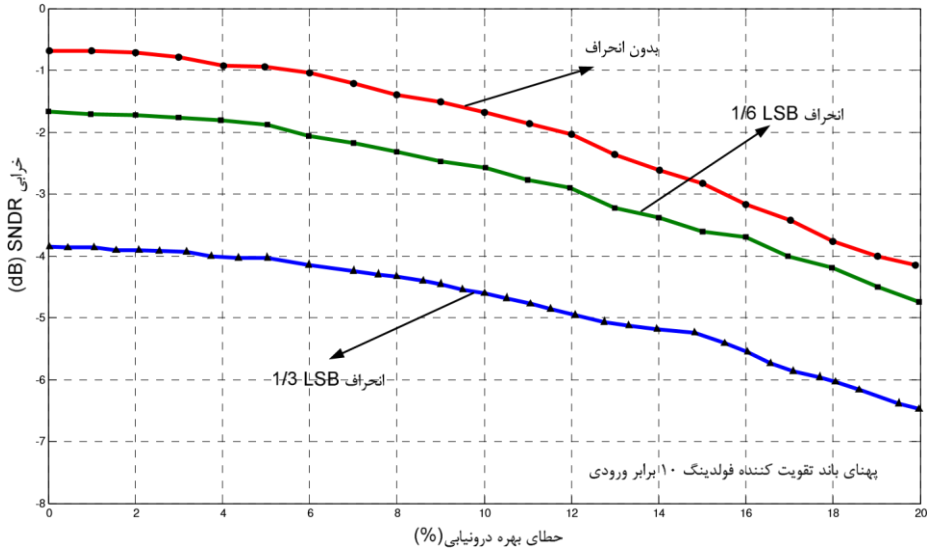
٤-٨-٢ انحراف مقایسه گر

انحراف مقایسه گر ها همیشه یکی از اصلی ترین عوامل محدود شدن خطی بودن مبدل های A/D می باشد . ADC ها با قدرت تفکیک بالاتر نیاز به مقایسه گر هایی دارند که انحراف ولتاژ کمتری داشته باشند . simulink مدل ایده آل مقایسه گر را داراست . برای شبیه سازی ولتاژ انحراف می توان از یک مقدار تصادفی که از توزیع گوسی حاصل می شود استفاده کرد . مقدار متوسط و انحراف توزیع گوسی نیز با توجه به قدرت تفکیک کلی ADC انتخاب می شود . شکل(۴ -۲۳)، نتایج شبیه سازی مبدل فولدینگ یک طبقه ۷ بیتی با F_F=4 و F_I=8 را نشان می دهد . محور افقی نسبت بین پهنای باند و فرکانس ورودی است و محور عمودی خرابی SNDR به dB است . برای مبدل های فولدینگ یک طبقه انحراف قابل قبول برای مقایسه گر ها 1/6LSB است تا خللی به کارایی مبدل وارد نشود . در کل برای تضمین رسیدن به انحراف کمتر از 1/2LSB ، محدوده بالایی انحراف را یک سوم این مقدار درنظر گرفته می شود . باید توجه داشت که این انحرافی است که با توجه با ورودی مبدل پدید می آید که انحراف واقعی مقایسه گر است که بر بهره آنالوگ پیش پردازنده تقسیم شده است . اگر این بهره بزرگتر از واحد باشد آنگاه موارد مورد نیاز مقایسه گر می تواند تعدیل شود به این معنی که اگر پیش پردازش آنالوگ دارای بهره ۲ باشد. آنگاه 1/6LSB می تواند به 1/3LSB تعدیل شود . به همین دلیل استفاده از یک بهره کوچکتر از واحد در پیش پردازش آنالوگ مطلوب نیست . اما باید در نظر داشت که با افزایش بهره پهنای باند محدود می شود .

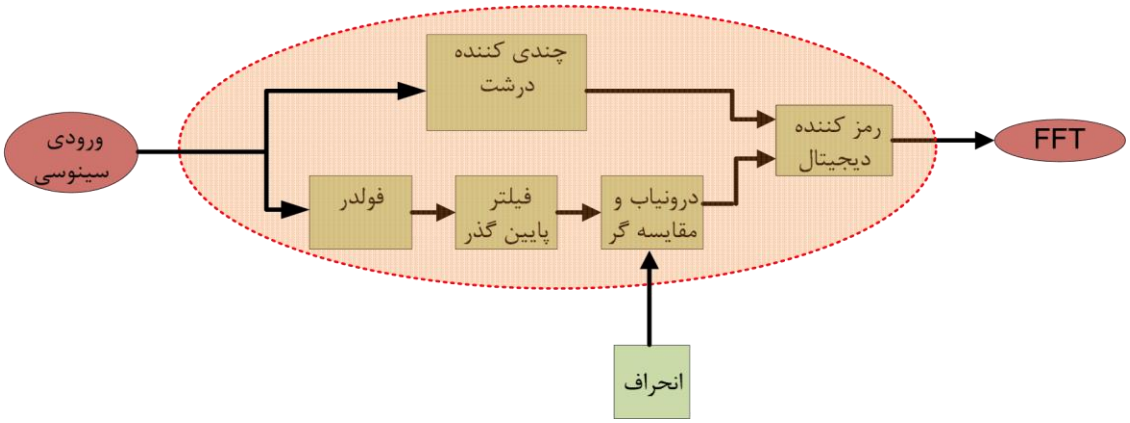


شکل ٤-٢٢ الف چیدمان شبیه سازی اثر عدم تطبیق بهره درون یاب و انحراف مقایسه گر بر روی SNDR

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

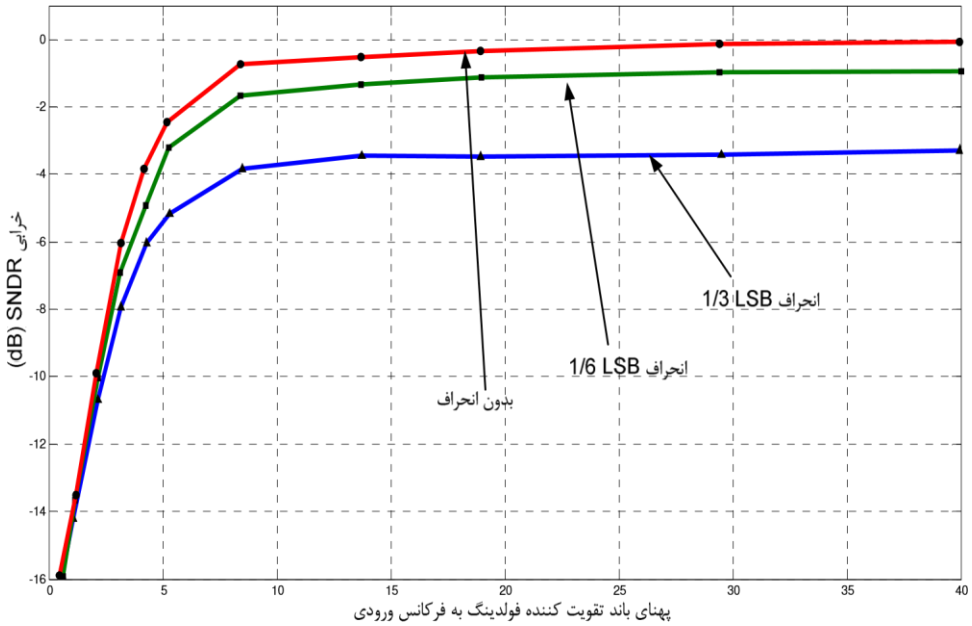


شکل ٤-٢٢ ب- نتیجه شبیه سازی اثر عدم تطبیق بهره درون یاب و انحراف مقایسه گر بر روی SNDR



شکل ٤-٢٣ الف چیدمان شبیه سازی اثر محدودیت پهنای باند تقویت کننده فولدینگ و انحراف مقایسه گر بر روی SNDR

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



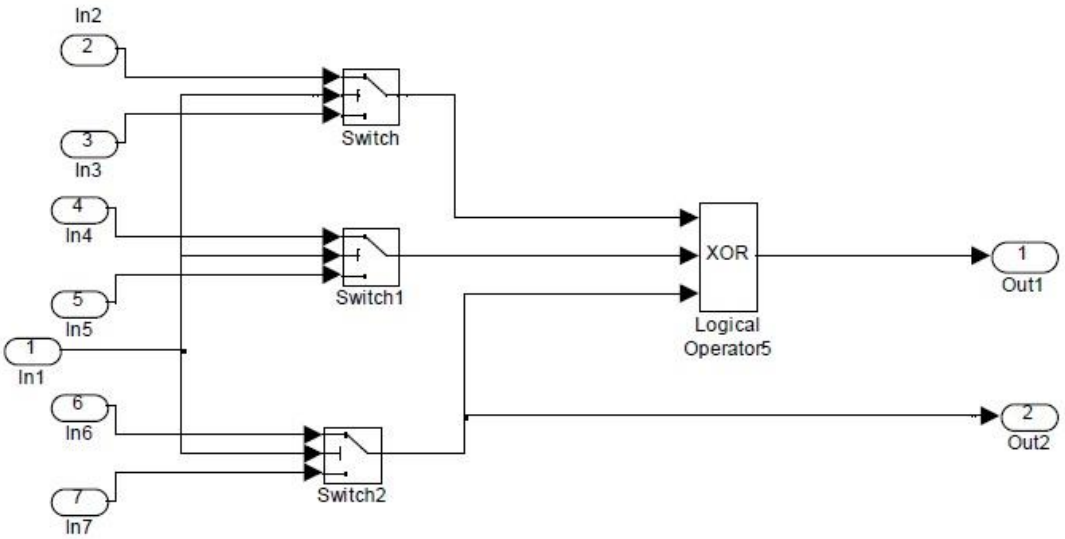
شکل ٤-٢٣- ب- نتیجه شبیه سازی اثر محدودیت پهنای باند تقویت کننده فولدینگ و انحراف مقایسه گر بر روی SNDR

٤-٩ مبدل درشت گام

این مبدل از سه مقایسه کننده برای تشخیص یک چهارم های محدوده ورودی تشکیل می شود . در عمل برای همزمان کردن بیت های MSB و MSB-1 با سایر بیت ها که توسط مبدل فولدینگ ساخته می شوند، هر مقایسه کننده مبدل درشت گام با دو مقایسه کننده جایگزین می شود که آستانه مقایسه به اندازه □□بالاتر از مقدار مقایسه ایده آل و آستانه دیگری به اندازه□□ پایین تر از آن قرار می گیرد. خروجی دو مقایسه کننده به یک سوئیچ دو به یک می روند که فرمان آن به بیت MSB-2 وصل شده است .در گذر ورودی از یک چهارم محدوده، چنانچه روند ورودی افزایشی باشد. با لبه بالا رونده بیت MSB-2 خروجی مقایسه کننده با آستانه ی پایین تر انتخاب می شود و در گذر از بالا به پایین محدوده، خروجی مقایسه کننده بالاتر با لبه پایین رونده بیت MSB-2 انتخاب می شود .به این ترتیب علاوه بر آنکه تغییر حالت های دو بیت بالا دقیقاً در زمان تغییر حالت بیت های پایین تر اتفاق می افتد، حاشیه اطمینانی به اندازه□□ برای جبران خطای افست هر یک از مقایسه کننده ها به وجود می آید. به طریق مشابه دو مقایسه کننده برای تعیین دقیق ابتدای محدوده و دو مقایسه کننده برای انتهای محدوده در نظر گرفته شدند که مجموع تعداد مقایسه کننده ها را به ۱۰ عدد می رسانند. خروجی مقایسه کننده های تشخیص دهنده بالا و پایین محدوده با تمامی بیت

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

های خروجی به نحو ه مناسبی ترکیب می شوند تا به ازای ورودی های بزرگتر از محدوده همه بیت ها ۱ و به ازای ورودی های کوچکتر از ابتدای محدوده همه بیت ها صفر باشند .به این ترتیب اثر زیرمحدوده هایی که به منظور کاهش خطای درون یابی در دو انتهای محدوده اضافه شده اند در خروجی نهایی حذف می شود. شکل(۴ -۲۴)، بلوک دیاگرام مبدل درشت گام را نشان می دهد.



شکل ٤ - ٢٤ مدل مبدل درشت گام

٤-١٠ شبیه سازی رفتاری و نتایج آن

بااستفاده مدل های تشریح شده و انتخاب مقدار مناسب برای اثرات غیرایده آل، رفتار مبدل فولدینگ۸ بیتی در حالت های گوناگون به صورت استاتیک و دینامیک شبیه سازی شد .در دنباله گزیده ای از نتایج این شبیه سازی ها مورد بحث قرار می گیرد.

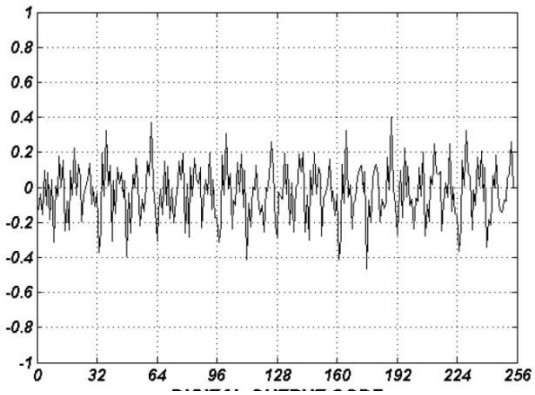
٤-١٠-١ شبیه سازی رفتار استاتیک

منظور از رفتار استاتیک، میزان دقت خروجی مستقل از پاسخ فرکانسی مبدل می باشد. برای به دست آوردن این دقت، یک ورودی شیب به مبدل اعمال شده و خروجی پلکانی مبدل مورد بررسی قرار می گیرد. در صورتی که در خروجی کد گمشده ۱ وجود نداشته باشد، از فاصله بین تغییر حالت های بیت LSB می توان خطاهای INL و DNL، را استخراج کرد.

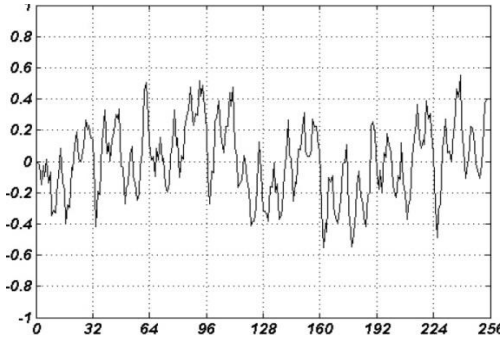
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

٤-١٠-٢ اندازه گیری خطای استاتیک و شبیه سازی INL وDNL

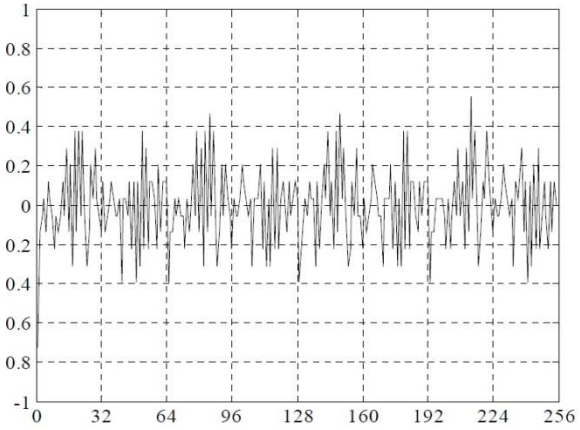
به منظور اندازه گیری تاثیر عملی روی خطای INL و DNL ، لازم است که مبدل بصورت کامل با مقایسه گر ها و بخش دیجیتال تست شود .در عمل در راه اندازی قسمت دیجیتال



شکل٤-٢٥ اندازه گیری DNL

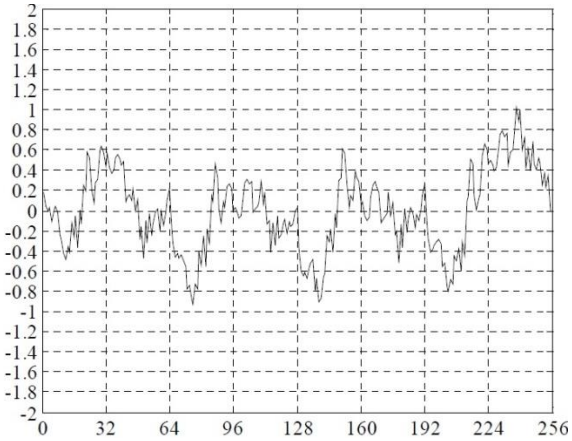


شکل٤-٢٦ اندازه گیری INL



شکل٤-٢٧ شبیه سازی DNL

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل٤-٢٧ شبیه سازی INL

٤-١١ پیاده سازی سیستمی و مدل سازی رفتاری

پیش تقویت کننده ه ای NMOS وPMO ، دارای دو بخش متمایز از نظر شیب زیر محدوده مربوط به زوج های NMOS، است. خطای DNL وINL ، شبیه سازی شده با فرض ایده آل بودن همه اجزای دیگر را نشان می دهد. در بخش های دور از مرز بین دو با استفاده از مدار مشخصه که در همان شرایط به کار گرفته شد ه بود بهره پیش تقویت کننده هایNMOS ، تنظیم شد. نتایج این شبیه سازی ها به صورت خلاصهدر جدول(۴ -۱)، دیده می شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

جدول ٤ - ١ حداکثر خطای INL و DNL ذاتی در شرایط حدی

	V_{DD}	1.35V			1.5V			1.65V		
	Temp.	-40°C	25°C	125°C	-40°C	25°C	125°C	-40°C	25°C	125°C
TT	DNLmax	0.25	0.14	0.08	0.16	0.11	0.08	0.16	0.11	0.1
	INLmax	0.38	0.21	0.2	0.24	0.2	0.19	0.24	0.2	0.25
SS	DNLmax	0.3	0.2	0.12	0.15	0.1	0.07	0.14	0.1	0.07
	INLmax	0.6	0.35	0.27	0.21	0.16	0.14	0.21	0.17	0.15
FF	DNLmax	0.18	0.12	0.16	0.18	0.12	0.2	0.18	0.12	0.12
	INLmax	0.27	0.26	0.25	0.28	0.26	0.4	0.28	0.25	0.5
FS	DNLmax	0.32	0.25	0.17	0.16	0.15	0.11	0.16	0.11	0.15
	INLmax	0.78	0.57	0.87	0.25	0.2	0.74	0.26	0.24	0.7
SF	DNLmax	0.17	0.11	0.08	0.16	0.11	0.08	0.16	0.11	0.08
	INLmax	0.35	0.57	0.16	0.24	0.18	0.15	0.23	0.18	0.15

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل پنجم:
طراحی مداری

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۵-۱ مدار نمونه برداری

۵-۱-۱ برسی مدارهای نمونه برداری

وظیفه مدار نمونه برداری این است که در بخشی از پریود تبدیل سیگنال، سیگنال آنالوگ ورودی را دنبال کند و در بخش دیگر با تغییر حالت پالس نمونه برداری آخرین وضعیت ورودی را در این زمان ثابت نگاه دارد .این کار با مداری شامل یک سوئیچ و یک خازن قابل انجام است. [74].

در عمل مقاومت غیرصفر و غیر خطی سوئیچ و مسایل جانبی دیگر باعث می گردد تا چندین مدار ساده ای جوابگو نباشد.

مسایل عمده ای که در طراحی مدار نمونه برداری مطرح می شود عبارتند از:

۱-پهنای باند محدود

در عمل مقاومت غیرصفر سوئیچ سری با مقاومت منبع با خازن نمونه برداری ثابت زمانی می سازند که باعث می شود در فاز دنبال گری، خروجی ورودی را با تاخیر دنبال کند واگر این ثابت زمانی از حدی بزرگتر باشد، در زمان شروع فاز نگهداری، مقدار خروجی و ورودی با یکدیگر تفاوت خواهند داشت . چنانچه این ثابت زمانی به ازای مقادیر متفاوت ورودی ثابت باشد،تنها روی مولفه اصلی سیگنال ورودی اثر می گذارد و ایجاد اعوجاج نخواهد کرد ولی در عمل با توجه به اینکه مقاومت سوئیچ می تواند وابسته به ورودی باشد، مسئله پهنای باند محدود علاوه بر تضعیف دامنه، تولید هارمونیک های بالاتر را نیز دنبال خواهد داشت.[75].

۲-تزریق با

با توجه به اینکه در عمل از ترانزیستورهای MOS به عنوان سوئیچ استفاده می شود، در هنگام تغییر حالت سوئیچ از حالت بسته روشن به باز خاموش بخشی از بار ذخیره شده در کانال ترانزیستور سوئیچ به خازن خروجی منتقل می شود و در خروجی ایجاد خطا می کند .میزان این خطا نیز تابعی از ولتاژ ورودی است.

۳- نفوذ کلاک

اعمال پالس نمونه برداری به کیت ترانزیستور سوئیچ باعث تغییر ولتاژ خروجی از طریق تقسیم خازنی بین خازن گیت – درین سوئیچ و خازن خروجی می گردد. علاوه بر این مسائل، تاثیرات ناشی از جابجایی تصادفی محل لبه پالس نمونه برداری.[76] ، نیز نویز مقاومت سوئیچ نیز در ولتاژ خروجی ایجاد خطا می کنند .برای برطرف کردن یا به حداقل رساندن خطاهای بالا راه های متعددی ارائه شده است که خلاصه برخی از آنها در جدول(۵ -۱)، دیده می شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

جدول ۵ -۱ منابع خطا و راه های کاهش آنها

منبع خطا	روش کاهش
پهنای باند محدود	کاهش مقاومت سوئیچ در حالت روشن[77] بوت استراپ کردن ولتاژ گیت سوئیچ[78]
تزریق بار	نمونه برداری با استفاده از صفحه زیرین[79] سوئیچ مجازی[80]
نفوذ کلاک	استفاده از ساختارهای دیفرانسیل[81]

در حالت کلی ساختارهای زیر برای مدار نمونه برداری می تواند در نظر گرفته شود .

۱-.ساختار حلقه باز ساده(بدون بافر)

ساختار مدار نمونه برداری شامل یک سوئیچ و مدارات جانبی برای خطی کردن و کاهش خطاهای دیگر است. .خازن نمونه برداری در عمل می تواند خازن ورودی مدار مبدل احیاناً موازی با خازن ثابت دیگر باشد .مزیت عمده این ساختار توان تلفاتی ناچیز آن است ولی میزان خطی بودن آن محدود است.

۲- .ساختار حلقه باز با استفاده از بافر در ورودی و خروجی

چنانچه مقدار خازن ورودی مبدل زیاد و یا غیرخطی باشد قراردادن یک بافر بین مدار نمونه برداری و مبدل می تواند تاثیر این خازن را روی عملکرد مدار نمونه برداری حذف کند و طراحی مدار نمونه برداری مستقل از خازن ورودی مبدل با در نظر گرفتن خازن ورودی بافرانجام گیرد .وظیفه بافر ورودی راندن مدار نمونه برداری و کاهش مقاومت منبع سری با مقاومت سوئیچ است .مشکلات طراحی مدار نمونه برداری در این ساختار به مراتب کمتر است ولی در عوض مسایل مربوط به طراحی بافرها و نیز توان مصرفی آن ها باید درنظر گرفته شوند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

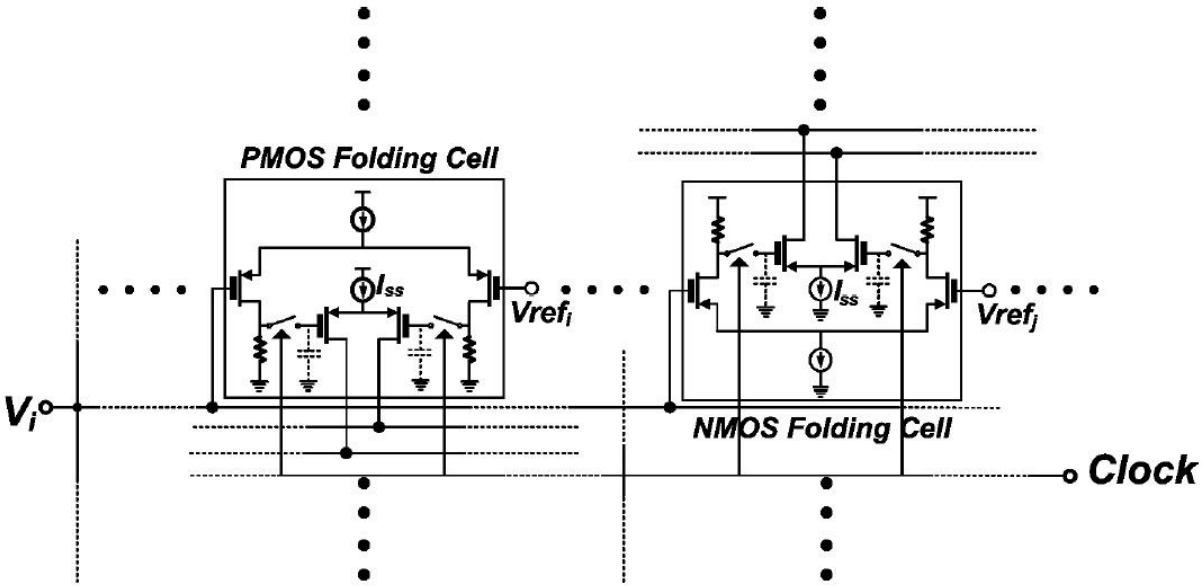
۳- .ساختار حلقه بسته

در این ساختار وجود تقویت کننده عملیاتی در حلقه فیدبک میزان خطی بودن مدار نمونه برداری را تا حد زیادی افزایش می دهد ولی می توان انتظار داشت که سرعت نمونه برداری این ساختار چندان زیاد نباشد . در مجموع ساختارهای حلقه بسته برای درجه تفکیک های ۱۰بیت و بالاتر و فرکانس های نمونه برداری چند ده مگا هرتز یا کمتر مناسب هستند، [83][82].

۵-۲-۱ مدار نمونه برداری گسترده

چنانچه مدار نمونه برداری را از ورودی مشترک پین تقویت کننده ها به خروجی آنها منتقل کنیم، به جای یک مدار پیچیده، نمونه برداری با ۴۴ مدار ساده به تعداد پیش تقویت کننده ها انجام خواهد شد.

در این روش عملاً بین خروجی های دیفرانسیل هر پیش تقویت کننده و ورودی های تقویت کننده فولدینگ مربوطه دو سوئیچ قرار می گیرد واز خازن ورودی تقویت کننده فولدینگ به عنوان خازن۱-نمونه برداری استفاده می شود شکل (۵ -۱)، از مزایای این روش می توان به دیفرانسیل بودن ساختار نمونه برداری که بسیاری از خطاهای مشترک را کاهش می دهد و نیز کاهش دامنه ورودی هر مدار نمونه برداری اشاره کرد. [84]، همچنین وجود پیش تقویت کننده باعث می شود تاثیر افست ناشی از تزریق بار و نفوذ کلاک، به میزان بهره پیش تقویت کننده کاهش یابد.



شکل ۵ - ۱ مدار نمونه برداری گسترده

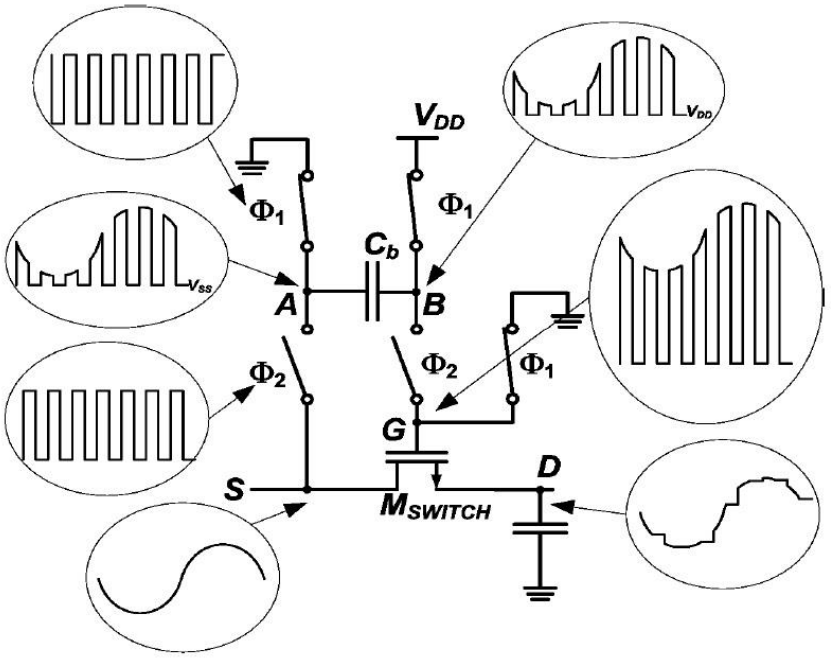
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

در مقابل ایراد عمده این روش نیاز به یک شبکه گسترده پالس های نمونه برداری است که باید به همه سلول های فولدینگ اعمال شود و این می تواند تداخل زیادی در کار قسمت های آنالوگ ایجادکند .همچنین در مواردی که نمونه برداری در بیش از یک مسیر انجام می گیرد مانند نمونه بردارهای یک در میان زمانی ۱ هر گونه عدم تقارن مسیرها می تواند باعث ایجاد اعوجاج گردد.[85]، یکی از عواملی که انتخاب ساختار مناسب اهمیت کلیدی دارد، مقدار و شکل خازن ورودی مبدل است لذا در دنباله خازن ورودی مبدل فولدینگ متداول و مبدل مورد طراحی را مورد بررسی قرار می دهیم. مسئله عمده ای که در استفاده از یک سوئیچ و خازن ورودی مبدل به عنوان مجموعه نمونه برداری وجود دارد، غیرخطی بودن خازن نمونه برداری است .مسئله اصلی در استفاده از یک ترانزیستورMOS به عنوان سوئیچ، علاوه بر روشن نشدن ترانزیستور به ازای ورودی های نزدیک به تغذیه یا زمین، مقاومت وابسته به ولتاژ ورودی است. همچنین میزان بار ذخیره شده در کانال نیز وابسته به مقدار ورودی است.

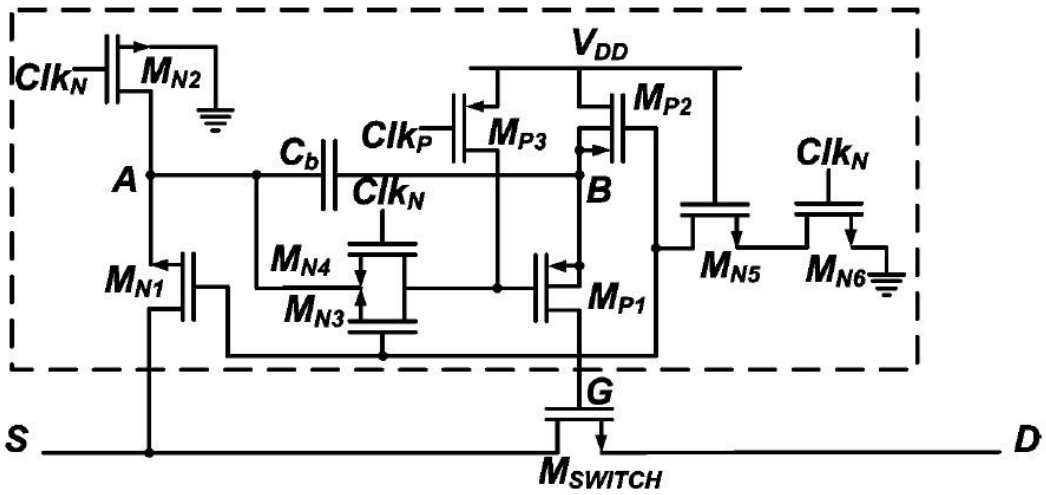
روش های اصلی که برای بهبود رفتار سوئیچ MOS ارائه شده اند عبارتند از

استفاده همزمان از ترانزیستورهای NMOS و PMOS، بالا بردن ولتاژ فرمان سوئیچ و بالاخره ثابت نگاه داشتن ولتاژ گیت - سورس سوئیچ درحالت روشن با استفاده از تکنیک بوت استراپ. در روش آخر با استفاده از یک مدار جانبی، در زمان های روشن بودن سوئیچ ولتاژی تقریباً برابر با ولتاژ تغذیه بین سورس ترانزیستور ورودی و گیت آن قرار می گیرد .به این ترتیب علاوه بر آن که روشن شدن ترانزیستور به ازای تمام مقادیر ورودی بین صفر تا Vdd تضمین می شود، مقاومت سوئیچ تا جایی که تابع ولتاژ گیت -سورس است ثابت می ماند. همچنین میزان بار ذخیره شده در کانال سوئیچ مستقل از ورودی خواهد بود که به یک افست تقریباً ثابت منجر می گردد .شکل(۵ -۲)، اصول روش بوت استراپ را نشان می دهد و جزئیات مدار بوت استراپ استفاده شده در شکل(۵ -۳)، دیده می شوند.[86].

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ۲ اصول روش بوت استراپ و شکل موج نقاط مختلف



شکل ۵ - ۳ مدار بوت استراپ بکار رفته

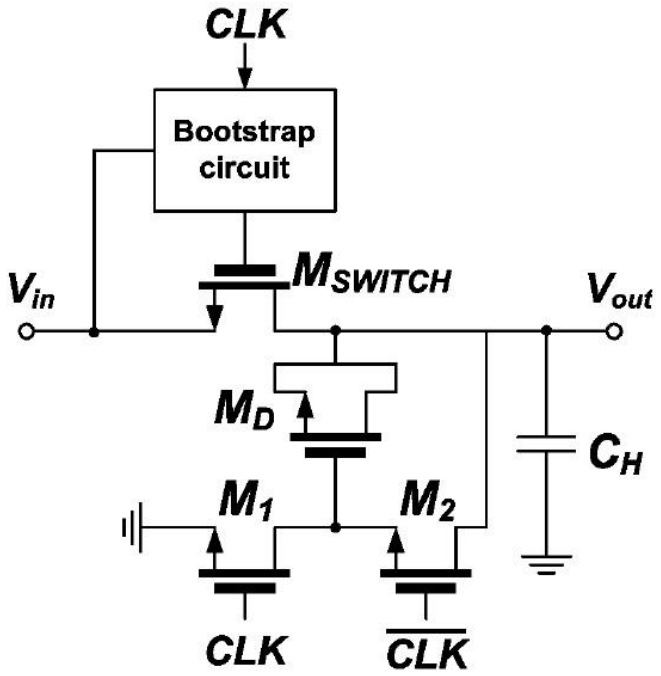
در این مدار خازن Cb در فاز دنبال گری به ولتاژ VDD شارژ شده و در فاز نگهداری یک سر آن به ورودی و سر دیگر به گیت ترانزیستور سوئیچ وصل می شود. استفاده از خازن غیر خطی مبدل به عنوان خازن نمونه برداری باعث می شود که با وجود مقاومت ثابت سوئیچ، ثابت زمانی غیر خطی گردد .

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

علاوه برآن، خطای ناشی از تزریق بار و نفوذ کلاک ، هر دو به مقدار خازن خروجی بستگی دارند و چنانچه مقدار این خا زن وابسته به ورودی باشد، این خطاها نیز بصورت غیر خطی وابسته به ورودی خواهند بود. این غیرخطی بودن خطا به ایجاد اعوجاج و منجر خواهد شد . قابل ذکر است که چون سیگنال ورودی مبدل از نوع یکطرفه است، برخلاف ساختارهای دیفرانسیل که در آنها تا حد زیادی تضعیف می گردد .در اینجا منشأ اصلی اعوجاج است .استفاده ازسوئیچ مجازی ۱ یکی از راههای متداول برای کاهش خطای ناشی از تزریق بار ونفوذ کلاک در مدارهای سوئیچ -خازن است .سوئیچ مجازی ترانزیستوری است با پهنای نصف پهنای سوئیچ اصلی که درین و سورس آن هر دو به خروجی سوئیچ اصلی وصل شده اند.چنانچه در لحظه قطع شدن سوئیچ اصلی، سوئیچ مجازی روشن شود و تغییر ولتاژ گیت -سورس آن برابر و در خلاف جهت سوئیچ اصلی باشد بخش عمده ای از بار تزریق شده توسط سوئیچ اصلی جذب کانال سوئیچ مجازی می گردد و نفوذ کلاک سوئیچ اصلی نیز توسط نفوذ کلاک سوئیچ مجازی خنثی می شود. با وجود مدار بوت استراپ در مسیر فرمان سوئیچ اصلی، در لحظه قطع شدن ولتاژ گیت این سوئیچ باید از Vin+VDD به صفر می رسد و ولتاژ سورس آن روی Vin ثابت می ماند .بنا بر این لازم است که ولتاژ گیت سوئیچ مجازی در این لحظه از صفر به Vin+VDD برسد و در طول زمان نگهدرای ثابت بماند.

یک روش برای استفاده از سوئیچ مجازی در حضور روش بوت استراپ در شکل(۵ -۴)، نشان داده شده است در این روش [87]، ولتاژ گیت سوئیچ مجازی در لحظه قطع شدن سوئیچ اصلی از صفر به Vout(=Vin) جهش می کند و به این ترتیب بخش وابسته به ولتاژ ورودی خطای نفوذ کلاک حذف می شود.

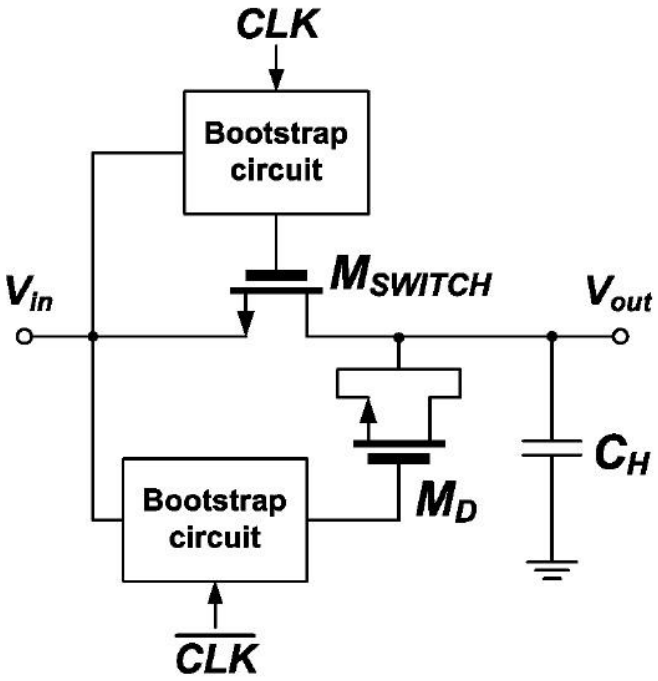
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ٥ - ٤ اتصال سوئیچ مجازی به خروجی

در عمل تقسیم بار بین خازن نگهداری و خازن های پارازیتیک M1 و M2 از دقت عمل این روش می کاهند. از این گذشته این روش برای حالت هایی مناسب است که حداکثر دامنه ورودی و خروجی از VDD به مقدار قابل ملاحظه ای پایین تر باشد در غیر این صورت ترانزیستور M2 روشن نخواهد شد. چنانچه ترانزیستور سوئیچ مجازی را نیز مشابه ترانزیستور سوئیچ اصلی با استفاده از مدار بوت استراپ دیگری که کلاک آن قرینه کلاک مدار بوت استراپ اصلی است روشن کنیم، تغییر ولتاژ گیت سوئیچ مجازی عیناً مشابه و در خلاف جهت سوئیچ اصلی خواهد بود.[88] ، شکل(٥ -٥)، اما در اینورت در فاز نگهداری گیت سوئیچ مجازی ورودی را دنبال می کند و این در عمل یک مسیر پارازیتیک قابل ملاحظه بین ورودی و خروجی مدار نمونه برداری ایجاد می کند که بخصوص در نمونه برداری سیگنال های ورودی فرکانس بالا دقت نمونه برداری را کاهش می دهد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

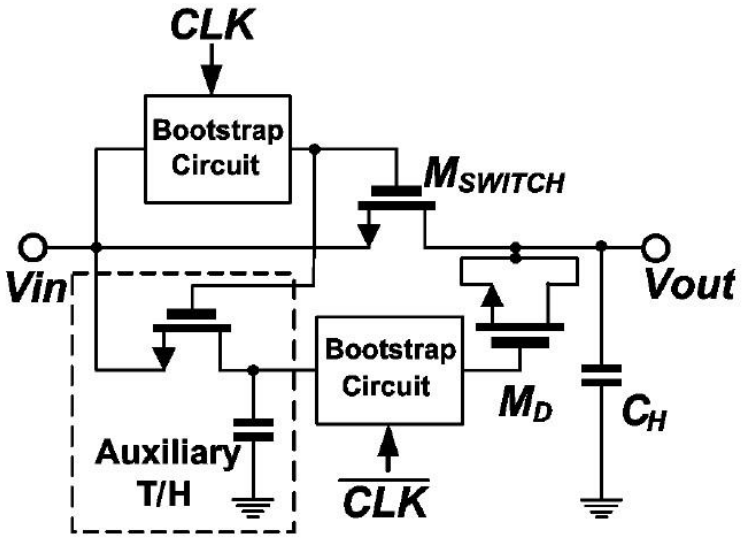


شکل ۵ - ۵ روشن کردن سوئیچ مجازی با مدار بوت استراپ قرینه مدار بوت استراپ اصلی

به منظور عملکرد بهینه سوئیچ مجازی، مدار بوت استراپ این سوئیچ باید به ولتاژی برابر با و لتاژ نمونه برداری شدهٔ خروجی متصل باشد .از طرف دیگر اتصال مستقیم خروجی به ورودی مدار بوت استراپ باعث انتقال بار بین خازن نمونه برداری و خازن مدار بوت استراپ می شود و خود منشاءخطا خواهد شد .استفاده از بافر مسئله را حل می کند ولی به قیمت افزایش پیچیدگی و توان مصرفی تمام خواهد شد.

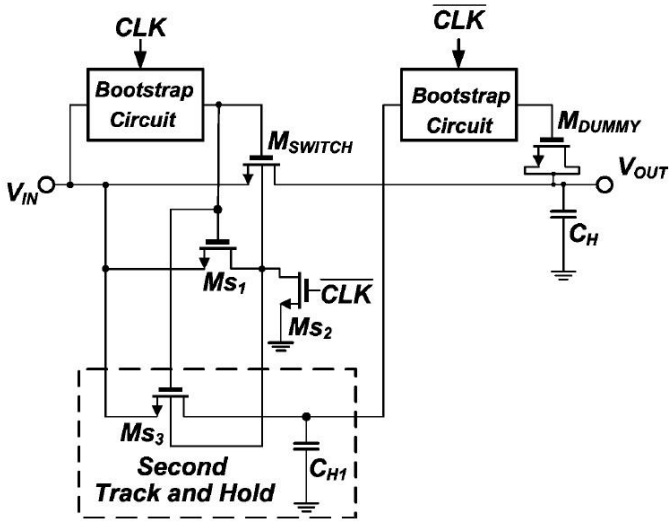
راه ابداعی برای حل این مشکل، استفاده از یک مدار نمونه برداری کمکی مطابق شکل(۵ -۶)، است که خروجی آن مشابه خروجی خواهد بود .با اعمال این خروجی به ورودی مدار بوت استراپ این مدار از مسیر خروجی اصلی کاملاً ایزوله خواهدشد و ولتاژ گیت سوئیچ مجازی در لحظه قطع شدن سوئیچ اصلی با جهش از صفر به Vin+VDD ، تاثیر نفوذ کلاک و تزریق بار سوئیچ اصلی را خنثی می کند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ٦ راه حل پیشنهادی برای تامین فرمان مناسب سوئیچ مجازی

مدار کامل نمونه برداری طراحی شده در شکل(۵ -۷)، دیده می شود.



شکل ۵ - ۷ مدار کامل نمونه برداری

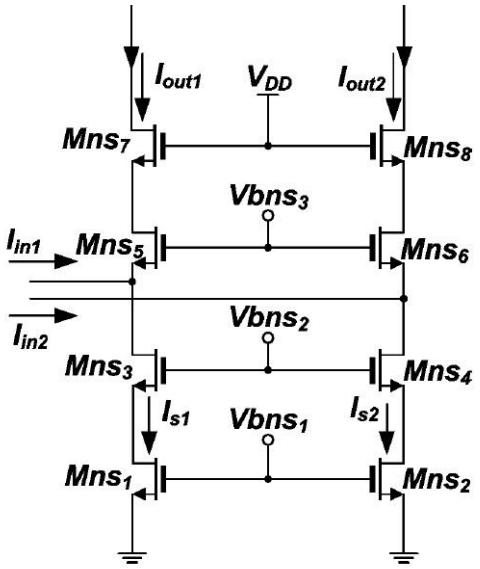
درمجموع می توان گفت مدار نمونه برداری طراحی شده با مصرف توان ناچیز، خطای استاتیک کمتراز 0/1 LSB و حدود ۶۰ - دسی بل در فرکانس نایکویست خواهد داشت که برای یک مبدل ۸ بیتی، کاملاً کافی است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۵-۲ منابع جریان ثابت

پس از جمع کردن جریان های خروجی تقویت کنن ده های فولدینگ PMOS ، برای آنکه جریان نتیجه با برآیند جریان های خروجی NMOS جمع شود، باید باداستفاده از ساختاری شبیه کسکود تاشده ۱ جهت جریان را تغییر داد .کم کردن جریان خروجی از یک مقدار ثابت می تواند در عین حال مقدرا جریان مشترک دو خروجی را تغییر دهد. باتوجه به اینکه تعداد سلولهای فولدینگ PMOS در هر بلوک 5 و مقدار جریان منبع جریان هر یک ۵۰ میکرو آمپر در نظر گرفته شده است، هر یک از جریان های منتجهٔ خروجی بین ۱۰۰ تا ۱۵۰میکروآمپر تغییر می کند. چنانچه مقدار جریان منابع جریان ثابت پایین را برابر۱۰۰ میکروآمپر انتخاب کنیم، جریان شاخه های خروجی بین صفر تا ۵۰ میکروآمپر تغییر می کنند.باتوجه به فاصله ولتاژی بین گره جمع کننده جریان های NMOS و PMOS این امکان وجود دارد که با استفاده از یک یا دو ترانزیستور کسکود، این دو گره را از یکدیگر ایزوله کرد .شکل(۵ -۸)، مدار معکوس کننده جریان و ایزوله کننده دو گره را از یکدیگر نشان می دهد. در این حالت قطب مربوط به گره جمع کننده جریان های خروجی PMOS توسط ترانس کندوکتانس ترانزیستورهای M5 و M6 تعیین می شود و هرچه جریان مشترک شاخه های خروجی بیشتر باشد مقدارgm این ترانزیستورهای بزرگتر ودر نتیجه قطب گره ها دورتر از مبدأ قرار خواهند گرفت .با انتخاب حدود ۲۲۵ میکروآمپر برای منابع جریان پایین، جریان شاخه های خروجی بین ۷۵ تا ۱۲۵ میکروآمپر تغییر می کنند و مقدار جریان مشترک آنها ۱۰۰ میکرو آمپر خواهد بود که با این مقدار گره جمع کنندهپایین در حدود ۴۰۰ مگاهرتز محاسبه می شود. به همین ترتیب هنگامی که جریان های خروجی زیر بلوک PMOS با جریان های خروجی ۵ سلول فولدینگ NMOS و یک سلول اضافی با ورودی های ثابت ترکیب می شوند، جریان هایی با مقدار مشترک ۲۵۰ میکروآمپر ساخته می شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

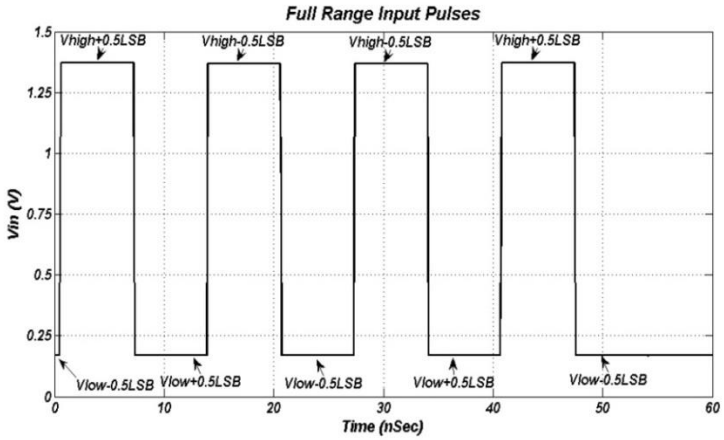


شکل ۵ - ۸ مدار معکوس کننده جریان منتجهٔ سلول های PMOS و ایزوله کننده دو گرهٔ جمع کننده

۵-۳ سوئیچ متعادل کننده خروجی

استفاده از سوئیچ های متعادل کننده در گره ها حساس در بهبود رفتار سیگنال بزرگ موثر است.[89]، این سوئیچ ها گره های تفاضلی حساس را در زمان محدودی از پریود تبدیل اتصال کوتاه می کنند باعث می شوند بخش عمده ای از تغییرات گذرا در ولتاژ این گره ها حذف شود. از این سوئیچ ها معمولاً در گره خروجی [90]، یا در خروجی پیش تقویت کننده. [91]، استفاده می شود. در مبدل مورد طراحی، قرار دادن سوئیچ متعادل کننده در خروجی پیش تقویت کننده ها عملاً تاثیرمثبتی روی رفتار گذرا ندارد .زیرا باتوجه به یکطرفه بودن سیگنال ورودی، باز و بسته کردن سوئیچ روی خروجی های تفاضلی پیش تقویت کننده تاثیر یکسانی نخواهد داشت و درنهایت باعث طولانی ترشدن پاسخ گذرا خواهد شد.قرار دادن سوئیچ متعادل کننده در خروجی بلوک های فولدینگ و همچنین در گره جمع کننده بالایی دامنه تغییرات خروجی را محدودتر می کند .میزان کارآیی این سوئیچ ها بستگی زیادی به زمان بسته این شکل به ازای ورودی با شکل(۵ -۹) ایجاد شده است .لازم به ذکر است که در عمل به علت وجود مدار دنبال گرنگهدار، ورودی در هیچ حالتی بصورت ناگهانی بین ابتدا و انتهای محدوده پرش نمی کند و در بدترین شرایط یعنی ورودی سینوسی تمام دامنه با فرکانس نایکویست در زمانی برابر با یک چهارم پریود ورودی از ابتدای محدوده به انتهای آن می رسد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

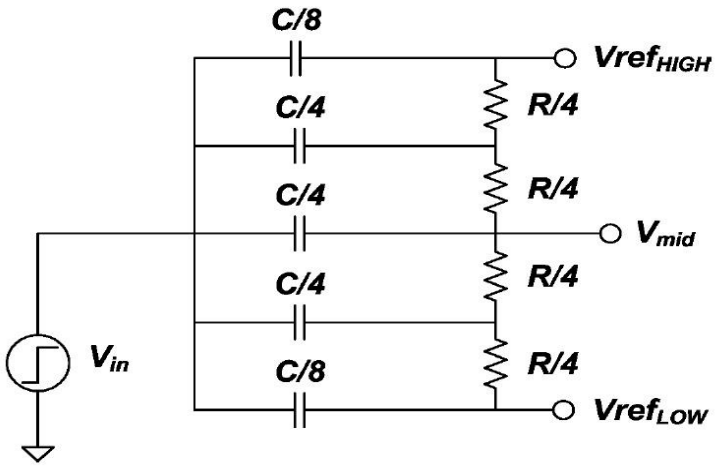


شکل ۵ - ۹ ورودی پالس تمام دامنه

در حضور نمونه برداری، ورودی می تواند یک پالس با مقدار حداکثر برابر با دامنه ورودی در نظر گرفته شود .دراین حالت مقدار مقاومت نردبان مقاومتی باید به اندازه ای کوچک باشد که در زمان کوتاهی پس از اعمال پالس تغییرات ولتاژ در ورودی مرجع میراشده اثر نفوذ سیگنال ورودی برطرف شود. اگر برای تحلیل از همان مدار ساده شده مرجع. [92]، که در شکل (۵ -۱۰)، نشان داده شده است استفاده کنیم، نسبت سیگنال نفوذی به سیگنال ورودی در حوزه S بصورت زیر بدست می آید

(1-5)

$$\frac{V_{mid}(s)}{V_{in}(s)} = \frac{\tau s(\tau s + 4)}{\tau^2 s^2 + 4\tau s + 2}$$



شکل ۵ - ۱۰ مدار ساده شده ورودی مبدل

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

با استفاده از این رابطه می توان تغییرات زمانی ورودی مرجع را با اعمال یک پالس با دامنه V به ورودی بدست آورد

$$V_{mid}(t) = \frac{V}{2\sqrt{2}}\left[(2+\sqrt{2})e^{\frac{-t}{\tau}(2-\sqrt{2})} - (2-\sqrt{2})e^{\frac{-t}{\tau}(2+\sqrt{2})}\right] \quad (2\text{-}5)$$

زمان لازم برای رسیدن ولتاژ خروجی به یک مقدار خاص (v)، بصورت زیر محاسبه می شود

$$t \approx \frac{\tau}{2-\sqrt{2}}\ln\left(\frac{2+\sqrt{2}}{2\sqrt{2}}.\frac{V}{v}\right) = \frac{\tau}{2-\sqrt{2}}\left(\ln\left(\frac{2+\sqrt{2}}{2\sqrt{2}}\right) + \ln\left(\frac{V}{v}\right)\right) \quad (3\text{-}5)$$

به عنوان مثال اگر بخواهیم حداکثر تا یک دهم پریود تبدیل به ازای یک پالس ورودی با مقدار تمام دامنه، نفوذ سیگنال به ورودی مرجع به 0/1 LSB برسد، ثابت زمانی مدار بصورت زیر بدست می آید

$$\tau \le \frac{\frac{2-\sqrt{2}}{2}T}{0.188 + \ln(\frac{2^N}{0.1})} \quad (4\text{-}5)$$

کوچک کردن مقدار مقاومت نردبان مقاومتی از طرف دیگر به افزایش توان تلفاتی آن بخش منجر خواهد شد .با درنظرگرفتن سقف ۱۰ میلی وات برای توان تلفاتی نردبان مقاومتی، حداقل م قاومت کل این نردبان برابر ۲۲۵ اهم بدست می آید .در عمل مقدار این مقاومت با احتساب مقاومت های کوچک دو طرف آن ۲۳۵ اهم در نظر گرفته شد .بایستی اشاره کرد که اگر برخی از مراجع نردبان مقاومتی بخصوص مرجع میانی bبا خازن نسبتاً بزرگی به زمین وصل شوند، در بهبود رفتار زمانی و ثابت ماندن ورودی مرجع پیش تقویت کنند هها موثر خواهد بود.

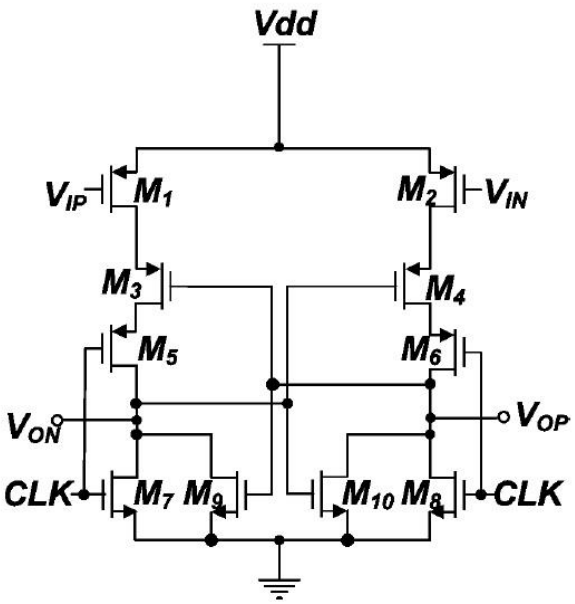
٥-٤ مقایسه گر

در نگاه اول چنین به نظر می رسد که به خاطر وجود بهره پیش پردازشگر آنالوگ بلوک فولدینگ،افست مقایسه گرها تاثیر چندانی بر خطای INL ندارد و انتخاب مقایسه گرمناسب تنها براساس تو ان مصرفی و سرعت مقایسه می تواند انجام شود. پاسخ زمانی سیگنال بزرگ آنالوگ نشان می دهد در مواردی که مقدار نهایی خروجی آنالوگ نزدیک به محل های عبور از صفر است، در زمان محدود نمونه برداری و نگهداری، خروجی فرصت رسیدن به مقدار نهایی بهره × فاصله ورودی تا مرجع

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۵-٤-۱ بررسی مقایسه گرهای دینامیک

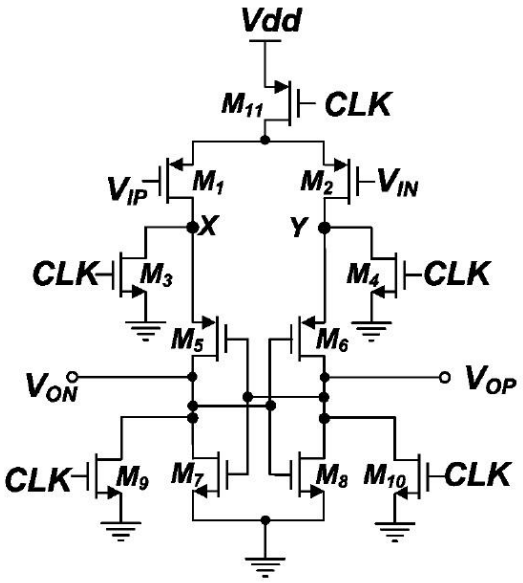
مقایسه گرهای دینامیک که در مبدل های سریع کاربرد فراوانی دارند و از مزایایی چون توان مصرفی پایین و سرعت بالا برخوردارند معمولاً مشخصه ا فست خوبی ندارند[93] ، .به عنوان مثال درمقایسه گر دینامیک شکل(۵ -۱۱)، در لبه پایین رونده کلاک اختلاف دو ولتاژ ورودی اختلاف جریانی در شاخه های خروجی ایجاد می کند که باعث می شود مدار حافظه خروجی که از دو معکوس کننده ۳ پشت به مثبت تشکیل شده است به سمت یکی از دو حالت پایدار خود حرکت کند . در لحظه تصمیم گیری هر دو ترانزیستورورودی M1و M2 در ناحیه ترایود قرار دارند و علاوه بر این دو ترانزیستور، تطابق ترانزیستورهای M5 و M6 نیز در تعیین افست ورودی موثر هستند.[94].



شکل ۵ - ۱۱ مقایسه گر دینامیک

به منظور کاهش افست استاتیک، می توان از مدل تغییر یافته شکل(۵ -۱۲)، استفاده کرد که در آن سوئیچ های M3 و M4 با اتصال درین ترانزیستورهای ورودی به زمین، آنها را در لحظه مقایسه در ناحیه اشباع قرار می دهند و به این ترتیب افست استاتیک این مقایسه گر عمدتاً با اختلاف ولتاژ آستانه دو ترانزیستور ورودی تعیین می گردد.[95].

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ۱۲ مقایسه گر تغییر یافته

با وجود کاهش افست در مقایسه گر شکل(۵ -۱۲)، این مقایسه گر همچنان به افست دینامیک ناشی ازتفاوت خازن پارازتیک گره های خروجی حساس است و از طرف دیگر نویز کیک-َبک ۱ آن به علت وجود ترانزیستور M11 و M3 و M4 افزایش یافته است.

به منظور کاهش نویز کیک بک، گیت ترانزیستور M11 به جای سیگنال کلاک به یک ولتاژ بایاس ثابت وصل شد .این کار اگرچه به قیمت خارج شدن مقایسه گر از حالت تمام دینامیک و مصرف توان در نیمی از پریود تبدیل تمام می شود، ولی علاوه بر کاهش تغییرات ورودی در لبه های کلاک، در زمان بالا بودن ولتاژ کلاک فاز پیش تقویت سیگنال ورودی توسط ترانزیستورهای M1 و M2 به همراه M3 و) M4 که در ناحیه ترایود قرار دارند و بصورت مقاومت بار عمل می کنند بهره ای ایجاد میکند که تاثیر عدم تطابق ترانزیستورهای طبقه خروجی را در ورودی کاهش می دهد.[96].

۵-۵ تحلیل افست دینامیک مقایسه گر

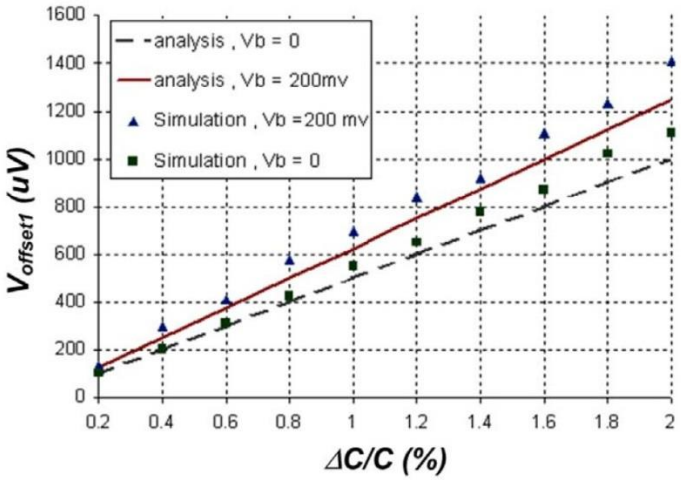
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

با اضافه شدن زمان تاخیر tD و ولتاژ V'B ترم های سیگنال و افست به یک نسبت زیادمی شوند و در این حالت تغیر Vb تاثیری روی افست دینامیک ناشی از اختلاف خازن گره های X و Y نخواهد داشت . ولی با درنظر گرفتن تمام پارامترها اگر در ورودی افست معادلی درنظر بگیریم . مقدار آن خواهد بود.

$$V_{offset1} = \frac{\frac{\Delta C}{C} V'_B}{g_m \cdot \left(R_{on} + \frac{V'_B}{I} \right)}$$

(5-5)

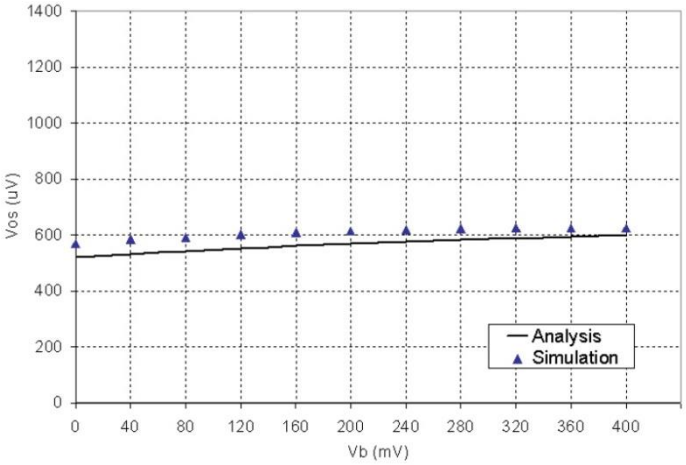
باتوجه به رابطه(5 -5) ، مشخص است که افزایش V'B از یک طرف باعث افزا یش بهره موثر و کاهش افست ورودی خواهد شد و از طرف دیگر تاثیر یکی از ترم های مربوط به عدم تطابق خازن ها را زیاد می کند .در شکل (۵ -۱۳)، افست معادل ورودی به ازای C/C□ های متفاوت گره های X و Y در دو حالت Vb=0و Vb=200mv رسم شده اند .همانگونه که در شکل دیده می شود، ۲ درصد تفاوت در خازن های دو گره می تواند بین ۱ تا ۴ /۱میلی ولت افست دینامیک در ورودی ایجاد کند .البته لازم به تذکر است که از آنجا که گره های X و Y گره های داخلی هستند تفاوت خازن پارازتیک آنها می تواند با یک طراحی لی اوت دقیق پایین نگاه داشته شود.



شکل ۵ - ۱۳ تغییرات ولتاژ افست دینامیک برحسب میزان عدم تطابق خاز نها

رابطه افست ورودی با ولتاژ بایاس Vb در شکل(۵ -۱۴)، نمایش داده شده است .با مقادیر در نظر گرفته شده رایراحی مقایسه گر، ولتاژ Vb تاثیر قابل ملاحظه ای روی افست دینامیک ناشی از عدم تطابق خازن های گره های X و Y ندارد.

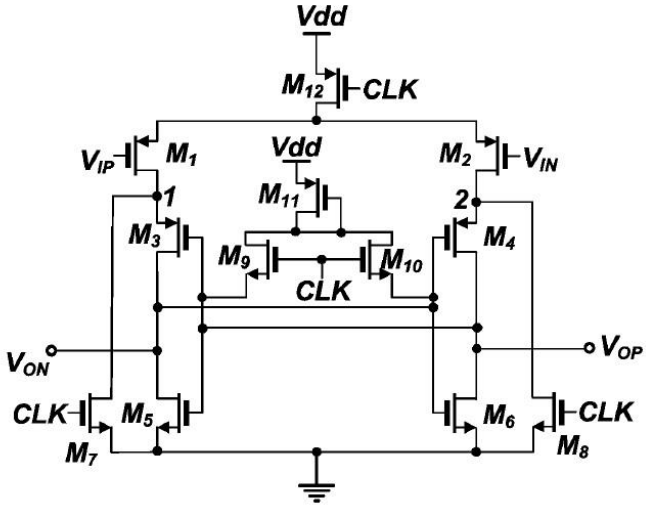
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ١٤ افست دینامیک ورودی برحسب ولتاژ Vb برای اختلاف خازن 1 درصد بین گره های X و Y

۵-٦ مقایسه گر با افست دینامیک پایین

برای ساختن ولتاژ بایاس می توان از مداری مشابه شکل(۵ -۱۵)، استفاده کرد که در آن Vb توسط ترانزیستور M11 و M5 و M6 که هر سه بصورت دیود بسته شده اند ساخته می شود.

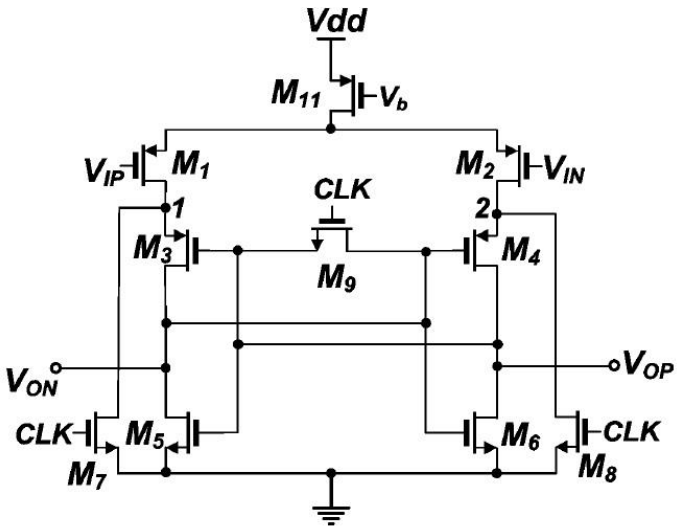


شکل ۵ - ۱۵ مقایسه گر با افست دینامیک نزدیک به صفر

شبیه سازی نشان می دهد که افست دینامیک این مقایسه گر با تفاوت خازنی ۴۰ فمتو فاراد کمتر از 0/5 میلی ولت خواهد بود .چنین مقایسه گری می تواند برای جبران افست استاتیک با افست دینامیک قابل برنامه ریزی به کار رود.[98][97].

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

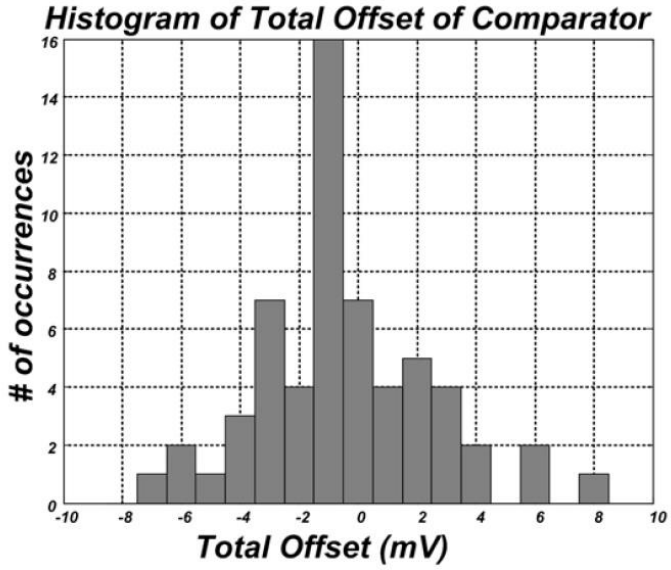
یک راه دیگر برای قرار دادن ولتاژ اولیه خروجی ها در نزدیکی مقدار بهینه، آن است که د و خروجی را در فاز پیش تقویت به یکدیگر وصل کنیم شکل(۵ -۱۶)، در اینحالت درابتدای فاز پیش تقویت خروجی ها در ولتاژی نزدیک به آستانه ترانزیستورهای NMOS قرار می گیرند و به تدریج از ولتاژ آنها کاسته می شود . شبیه سازی نشان می دهد که در لحظه بازشدن سوئیچ M9 در حالتی که فرکانس کلاک مقایسه گر ۱۵۰ مگاهرتز باشد، ولتاژ گره های خروجی درحدود ۴۰۰ میلی ولت است و به ازای ۱۰ فمتوفاراد اختلاف خازن دو گره خروجی ، افست دینامیک ورودی کمتر از ۳ میلی ولت خواهد بود.



شکل ۵ - ۱۶ مقایسه گر با افست دینامیک کم

اگرچه این افست نسبت به مدار شکل(۵ -۱۶)، بالاتر است ولی نسبت به مدار اولیه بهبود قابل ملاحظه ای دارد ودر عین حال از پیچیدگی کمتری برخوردار است .مجموع ولتاژ افست ورودی ناشی از عدم تطابق ولتاژهای آستانه، طول و عرض ترانزیستورها و خازن های گره های مختلف برای این مقایسه گر با استفاده از شبیه سازی مونت کارلو بررسی شد .در شکل(۵ -۱۷)، هیستوگرام ولتاژ افست ورودی دیده می شود و جدول (۵ -۲)، خلاصه مشخصات مقایسه گر طراحی شده را بیان می کند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ۱۷ هیستوگرام ولتاژ افست ورودی

جدول ۵ - ۲ خلاصه مشخصات مقایسه گر

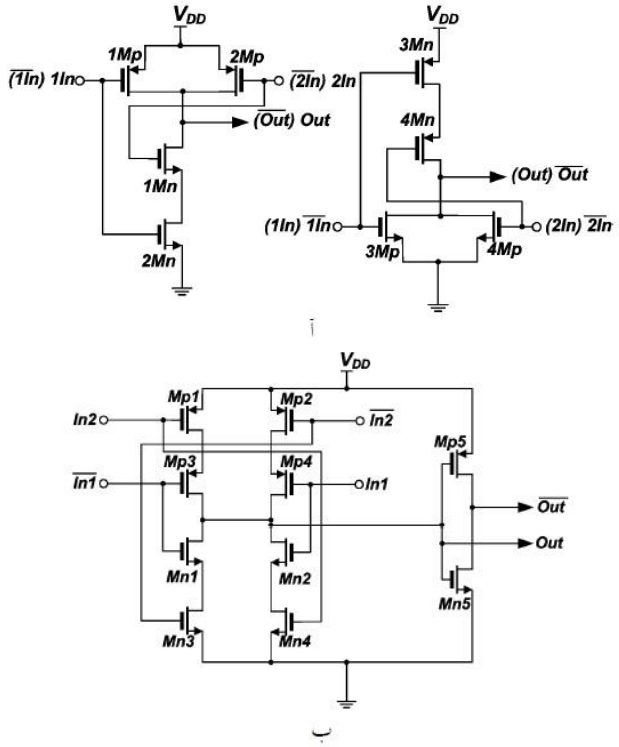
Resolve time	1.3 ns
Dynamic Offset for ΔC_O= 10fF	2.8 mV
Static Offset	3 mV
technology	0.18µ CMOS
Power supply	1.5V
Power Consumption	120µW

۵-۷ مدارهای منطقی دیجیتال

مدار دکودر دیجیتال شامل گیت های AND ، XORو OR و همچنین مالتی پلکسرهای دو به یک برای سنکرون کردن بیت های MBS و MSB-1 و نیز سیگنال های سرریز یک و ته ریز دو است .در خروجی دکودر ۸ عدد حافظه سه قرار میگیرد که بیت های ساخته شده را در خود ذخیره می کند .چنانچه به جای هشت حافظه خروجی از دوسری ۸ تایی با فرمان های جداگانه استفاده کنیم، می توان با ذخیره یک در میان

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

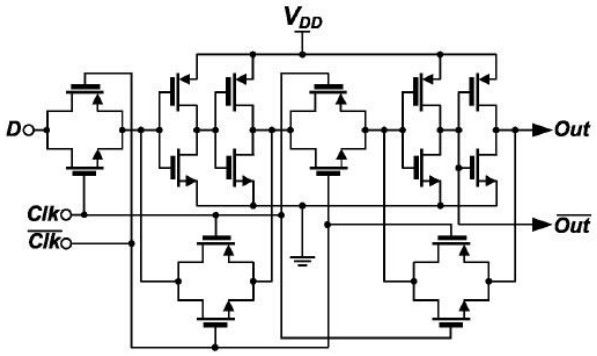
خروجی در این ۲ سری حافظه ، با دو برابر کردن تعداد پین های خروجی فرکانس خواندن آنها را به نصف تقلیل داد . در عمل به ۱ سری از حافظه ها خروجی های D0 تا D8 و به ۱ سری وارون آنها اعمال گردید .به این ترتیب اگر فرمان هر ۲ سری حافظه های یکسان باشد، ۱۶ خروجی به صورت ۸ خروجی دیفرانسیل قابل استفاده هستند .در طراحی گیت های XOR و OR و AND از منطق تفاضلی ۴ استفاده شده یعنی همه ورودی هابصورت مستقیم و وارون مورد استفاده قرار گرفته و خروجی ها نیز هم بصورت مستقیم وهم بصورت وارون تولید شده اند .به این ترتیب به ازای هر تغییر حالت از ۰ به ۱ یا بالعکس، یک تغییر حالت در جهت معکوس نیز خواهیم داشت که درنهایت اغتشاش ناشی از سوئیچینگ دیجیتال را تا حد زیادی کاهش می دهد و تغییرات جریان مصرفی قسمت دیجیتال را نیز نرمتر می سازد . در شکل(۵ -۱۸)، مدار گیت های طراحی شده دیده می شود.



شکل ۵ - ۱۸ گیت های دیجیتال آ OR) AND) ب XOR)

برای حافظه های خروجی نیز از مدار استاندارد حافظه با تریگر لبه ۱ مطابق شکل(۵ -۱۹)، استفاده شد و در خروجی آن ۴ عدد اینورتر سری قرار گرفت که به عنوان درایور سلولهای خروجی دیجیتال عمل می کند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ۱۹ حافظه های خروجی

۵-۸ مدارات درایور پالس های ساعت

پالس های ساعت کلاک مورد نیاز در مبدل فولدینگ مورد طراحی عبارتند از

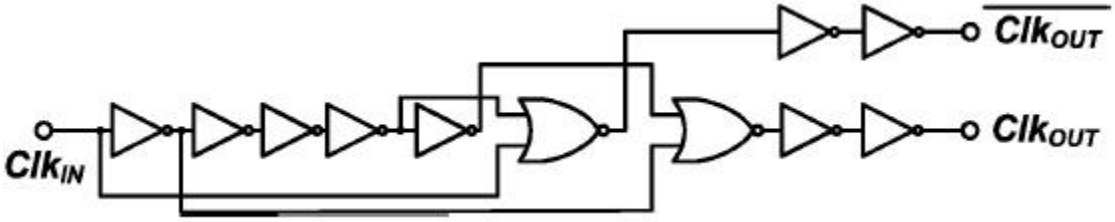
۱- پالس های نمونه برداری برای اعمال به مدار دنبالگر – نگهدار شامل دو پالس بدون همپوشانی

۲- پالس های مقایسه برای اعمال به مقایسه گرهای مبدل اصلی ریزگام و مبدل درشت گام

۳- پالس های متعادل سازی برای اعمال به سوئیچ های متعادل ساز خروجی مبدل اصلی

۴- پالس های ذخیره خروجی دیجیتال در حافظه های خروجی

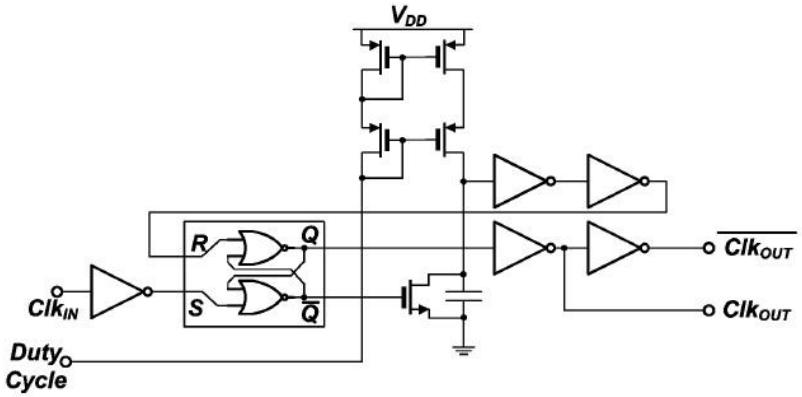
برای ساختن پالس های بدون همپوشانی برای نمونه برداری از مداری مطابق شکل(۵ -۲۰)، استفاده شد.که دو کلاک Q1 و Q2 را از کلاک ورودی به مدار نمونه برداری می سازد.



شکل ۵ - ۲۰ ساختن پال سهای بدون همپوشانی برای نمونه برداری

همانگونه که اشاره شد نسبت زمان بسته بودن سوئیچ های متصل کننده به کل پریود تبدیل در عملکرد این سوئیچ ها موثر است به منظور داشتن پالس هایی با نسبت زمان فعال ۱ متغیر، از مداری مطابق شکل(۵-۲۱)، استفاده شد که در آن یک ورودی به آنالوگ نسبت زمان فعال کلاک را مشخص می کند.

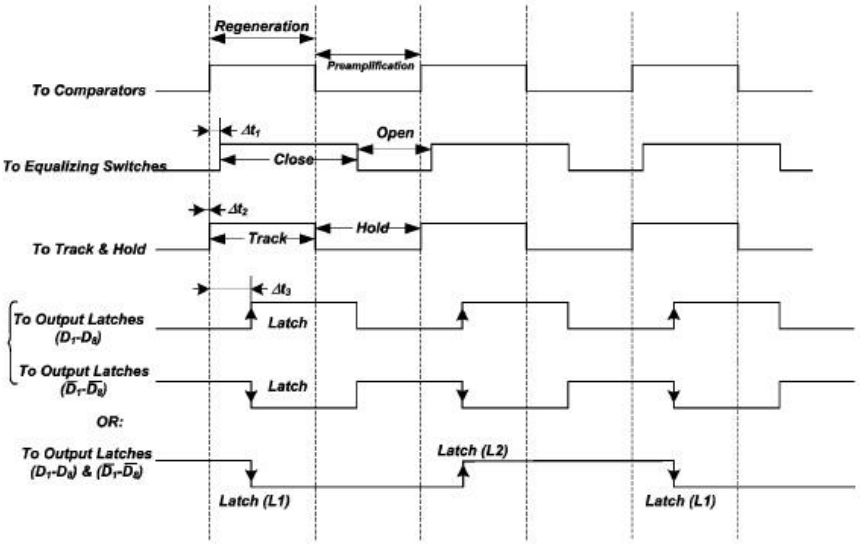
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ۲۱ ساختن پال سهایی با نسبت زمان فعال متغیر

به این ترتیب که با لبه بالا رونده کلاک، شارژ یک خازن با جریان ثابت شروع می شود و هنگامی که ولتاژ خازن به سطح معینی که توسط ولتاژ آنالوگ ورودی تعیین میشود رسید، فلیپ فلاپ ریست ۱ میگردد.

ترتیب زمانی پالس های چهارگانه فوق باید به ترتیبی باشد که قبل از بسته شدن سوئیچ متعادل کننده لبه پایین رونده پالس های اعمالی به مقایسه گرها اتفاق بیافتد .پس از گذشت زمان محدودی از لبه پالس مقایسه، سوئیچ متعادل کننده باید بسته شود و مدار نمونه برداری نیز در حالت دنبالگری قرارگیرد .تاخیر پالس های ذخیره سازی خروجی ها نسبت به پالس مقایسه چندان مهم نیست و کافی است در حدی باشد که مدار دکودر دیجیتال حالت گذرای خود را طی کند و تغییر حالت ورودی آن دبه خروجی برسد .شبیه سازی حداکثر این زمان را در حدود ۲ نانوثانیه نشان می دهد. شکل(۵ -۲۲)، زمان بندی لازم برای کلاک های چهارگانه را نشان می دهد.



دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل ۵ - ۲۲ تاخیر کلاک های چهارگانه نسبت به یکدیگر

۵-۹ برسی بلوکها و راه کارهای ارائه شده

۵-۹-۱منابع ایجاد اغتشاش

عامل اصلی تحریک مدارهای LC مربوط به مدل پکیج، تغییرات ناگهانی ولتاژ و یا جریان در لبه های پالس های ساعت است .یادآوری می کنیم که پالس های ساعت زیر به قسمت های مختلف مدار اعمال می شوند پالس های اعمالی به مدار نمونه برداری که از آن دو پالس ساعت بدون همپوشانی ساخته می شود و این دو پالس ساعت در مدار بوت استریت، یک پالس ساعت با دامنه بوت استراپ شده برای سوئیچ نمونه برداری می سازد -.پالس های ساعت اعمالی به سوئیچ های متعادل کننده آنالوگ -پالس های ساعت اعمالی به مقایسه گره ها پالس -پالس های ساعت اعمالی به حافظه های خروجی که خروجی های دیجیتال را در این حافظه ها ذخیره می کنند. از بین این پالس ها، پالس های اعمالی به مقایسه گر ها بیشترین سهم را در ایجاد تحریک دارند. زمانی که این پالس ها مقداری نزدیک به تغذیه دارند، مقایسه گر ها در فاز خطی تقویت ۱ قرار دارند و هر یک جریانی در حدود ۱۵۰ میکرو آمپر از تغذیه می کشند . در لبه پایین رونده کلاک، مقایسه انجام می شود و مقدار جریان به سمت صفر میل می کند به علت خازن موجود در گره منبع جریان، تغییر جریان به صورت لحظه ای اتفاق می افتدبا توجه به وجود ۴۲ مقایسه گر، تغییرجریانی در حدود ۳ میلی آمپر در این زمان از تغذیه کشیده می شود. در لبه پالس های ساعت اعمال شده به حافظه های خروجی بر اساس تفاوت بین داده قبلی با داده جدید، تعدادی از بیت های خروجی تغییر علامت می دهند که این به معنی کشیده شدن جریان لحظه ای از تغذیه دیجیتال است. پالس های متعادل کننده تغییر جریان قابل ملاحظه ای در خروجی مدار آنالوگ ایجاد نمی کنند و پالس های اعمالی به مدار نمونه برداری به دو صورت در ایجاد اغتشاش سهم دارند.

۱- چنانچه ورودی نمونه برداری شده قبلی باورودی جدید اختلاف قابل توجهی داشته باشد در زمان بسته شدن سوئیچ نمونه برداری در مسیر ورودی نوساناتی ایجاد می شود.

۲-پالس اعمال شده به ورودی پیش تقویت کننده ها به صورت خازنی به ولتاژ های مرجع کوپل می شود و می تواند روی این گره ها ایجاد نوسان کند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۵-۹-۲ مدارهای حساس به اغتشاش

از نقطه نظر میزان حساسیت به اغتشاش ناشی از سوئیچینگ ، بلوک های حساس عبارتند از

۱- نردبان مقاومتی

همانگونه که اشاره شد، ثابت بودن ولتاژهای مرجع در زمان تبدیل درعملکرد دینامیک مبدل نقش بسزایی دارد اگر مدار معادل پکیج تنها تاثیر خازنی داشت، خارج کردن گره های میانی و اتصال خازنی آنها به زمین می توانست تاثیر مثبت داشته باشد ولی با وجود سلف موجود در این مدار معادل، اتصال هر گره به خارج یک تانک LC روی آن گره ایجاد می کند که در پاسخ به تحریک به نوسان می افتد و پاسخ زمانی مبدل را به شدت خراب می کند.

۲- مدار ورودی

به علت وجود سوئیچ نمونه برداری و سلف های اتصالات پکیج، در زمان بسته شدن سوئیچ فاز دنبالگری ورودی دچار نوسان خواهد شد و چنانچه این نوسانات تا زمان باز شدن سوئیچ میرانشود، فاز نگهداری با خطا همراه خواهد شد.

۳- مدار بایاس

وجود اغتشاش القا شده روی گره های مدار بایاس که به منظور اندازه گیری وکنترل به خارج منتقل شده اند به دو صورت می تواند باعث اختلال در عملکرد مدار شود

۱-با تغییر مقدار جریان های بایاس منابع جریان مدار

۲-با القای خازنی روی گره های حساس

لازم به تذکر است که تاثیر اغتشاش مدار بایاس عمدتاً به صورت مشترک است ولی عدم تقارن در مقادیر خازن های پارازیتیک و CMRR محدود می تواند باعث تبدیل آنها به اغتشاش تفاضلی گردد.

٤-مدار آنالوگ

جدا از طبقه بندی ورودی، سایر قسمتهای مدار آنالوگ ساختمان کاملاً تفاضلی دارند و حساسیت آنها به نویز و اغتشاش القایی پا یین است . در مجموع برای اطمینان از کارکرد صحیح این بخش کافی است خطوط تغذیه (VSS وVDD) ، نسبت به یکدیگر حتی الامکان ثابت باشند. علاوه بر این هیچ یک از گره های داخلی این بخش مستقیماً به خارج اتصال ندارند.

۵-مدار مقایسه گرها

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

از آنجا که طبقه ورودی مقایسه گر بصورت تفاضلی کار می کند، در حالت ایده آل نوسانات روی تغذیه نباید تاثیری روی تصمیم گیری آن داشته باشد ولی در عمل چنانچه این نوسانات زیاد باشد می تواند منجر به تصمیم گیری اشتباه مقایسه گر شود. در مبدل های فولدینگ، عمدتاً با اندازه گیری افست ورودی و کم کردن ولتاژی متناظر با این ولتاژ از ولتاژ ورودی انجام می گیرد .یک روش استفاده از خازن در ورودی پیش تقویت کنند ه ها به منظور ذخیره ولتاژ متناظر با افست و کم کردن این ولتاژ ورودی است .[102]از آنجا که این ذخیره سازی پیش از تبدیل هر نمونه بایستی تکرار شود، این روش با ایجاد محدودیت قابل ملاحظه ای روی سرعت نمونه برداری و تبدیل همراه خواهد بود .یک روش دیگر استفاده از مبدل دیجیتال به آنالوگ برای ساختن این ولتاژ است .به عنوان مثال اگر بین خروجی پیش تقویت کننده ورودی تقویت کننده فولدینگ مقاوم تهای قرار گیرد و با استفاده از مبدل دیجیتال به آنالوگ جریان گذرنده از این مقاومت ها را بتوان تغییر داد، م یتوان به هدف مورد نظر دست یافت. [103]

۵-۱۰ نحوه القای اغتشاش و راههای کاهش آن

در مجموع اغتشاش ناشی از پالس های ساعت به طریق زیر بخش های حساس را تحریک می کنند

۱-بصورت مستقیم در نقاطی که مسیرهای آنالوگ سوئیچ می شوند) مثل مدار نمونه برداری ومقایسه گر ها

۲-از طریق القا بین سیم های اتصال پکیج.

۳-از طریق پایه مشترک[99].

راههای کاهش تاثیر اغتشاش عمدتاً شامل کاهش حساسیت به اغتشاش، کاستن از میزان اغتشاش تولید شده و بالاخره جداسازی منبع اغتشاش و قسمت های حساس خواهد بود.

۵-۱۱راه کار هایی برای کاهش حساسیت مدار ولتاژهای مرجع

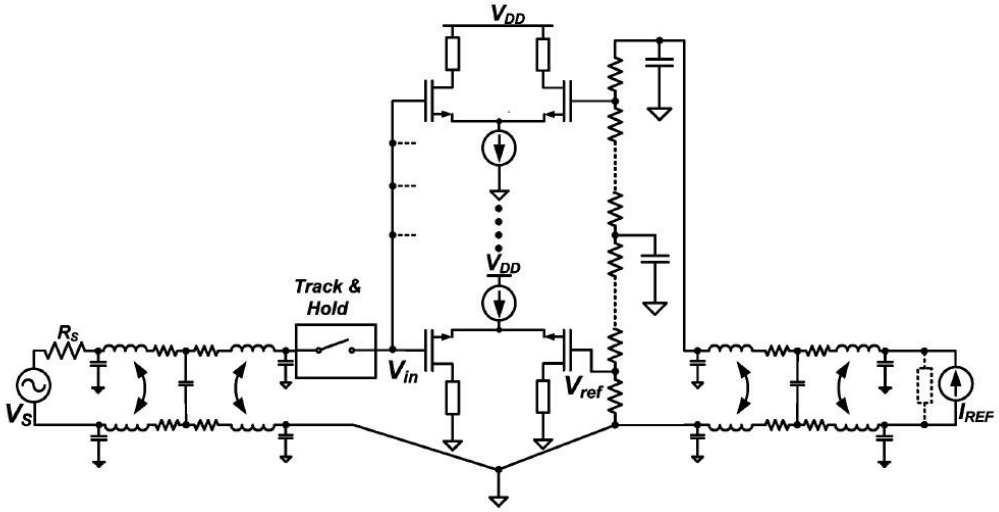
۱- هرچه مقاومت سری با سلف های اتصالات بزرگتر باشد، تاثیر سلف ها در ایجاد نوسانات کمرنگ تر خواهد شد .به این منظور می توان بجای آنکه نردبان مقاومتی به یک منبع ولتاژ مرجع متصل شود، آنرا با یک جریان مرجع راند.

۲-همانگونه که اشاره شد اتصال گره های میانی و نردبان مقاومتی به خارج حساسیت به اغتشاش را افزایش می دهد و از این جهت هیچ یک از نقاط میانی به خارج متصل نشد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۳-وجود خازنهای بزرگ بین مدار معادل نردبان مقاومتی و زمین داخل چیپ تاثیر بسزایی روی کاهش حساسیت به القای سوئیچینگ ورودی دارد .از این رو گره بالایی و گره میانی نردبان مقاومتی با استفاده از خازن ها MOS با ابعاد 2×23000 میکرون مربع خازن معادل ۴۰۰ پیکوفاراد به زمین وصل شد.

۴- گره پایین نردبان مقاومتی (Vref -) در داخل چیپ و در یک نقطه به زمین ورودی وصل شد تا از این طریق اختلافی ناخواسته ای بین ورودی پیش تقویت کننده ها بوجود نیاید. شکل(۵ -۲۳).



شکل ۵ - ۲۳ کاهش اغتشاش ناشی از سوئیچینگ روی مدار ورودی و ولتاژهای مرجع

۵-۱۲راه کارهای کاهش حساسیت مدار ورودی

۱-استفاده از یک سوئیچ مجازی برای آنکه در زمان نگهداری نیز گره ورودی را به یک خازن دیگر وصل کند .اینکار در عمل باعث پیچیده تر شدن مدار می گردد و حالت گذرای لبه پالس های نمونه برداری را به طور کامل حذف نمی کند.

۲- قرار دادن یک خازن و مقاومت سری در ورودی مدار نمونه برداری، نوسانات را کام لا برطرف می کند چنانچه مقدار این خازن و مقاومت به ترتیب برابر خازن نگهداری و مقاومت سوئیچ باشد، فرکانس قطع مدار ورودی ۲ برابر کمتر می شود با توجه به این مطلب و همچنین نیاز به یک خازن بزرگ، این راه نیز عملی به نظر نمی رسد.

۳- راه حل عملی دیگر افزایش مقاومت منبع ورودی است که تا حد زیادی نوسانات را کاهش می دهد . شبیه سازی نشان می دهد با مقاومت منبع ۵۰ اهم میرایی مدار قابل قبول است. به منظور کاهش حساسیت

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

مدار بایاس، گره هایی که به خارج منتقل شده اند از طریق مقاومت های یک کیلواهمی به پد متصل شدند و به این ترتیب تاثیر تانک LC اضافه شده میرا می گردد.

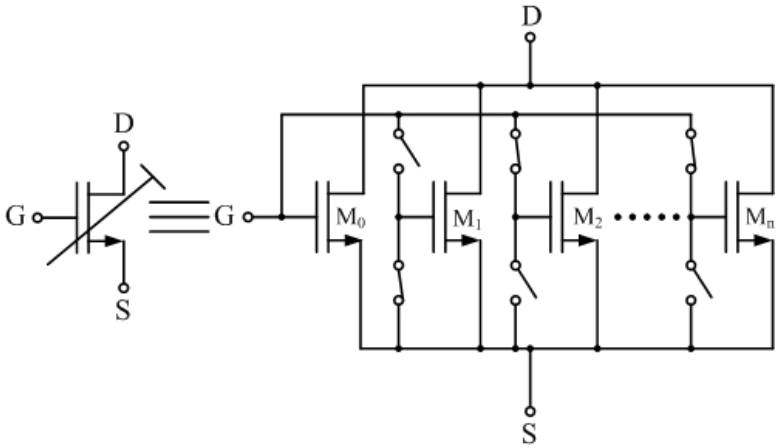
برای کاهش میزان اغتشاش تولید شده می توان تغییرات جریان کشیده شده از تغذیه را کاهش داد.

همانگونه که اشاره شد، بیشترین تغییرات مربوط به تغذیه مدار مقایسه گرها است . این تغذیه از تغذیه مدار آنالوگ جدا شده و توسط دو پین مجزا به داخل چیپ انتقال می یابد . برای کاهش تغییرات جریان این تغذیه، مداری در کنار هر مقایسه گر اضافه شد که در زمانهای قطع مسیر جریان در مقایسه گر جریانی با مقدار مساوی از منبع کشیده شود . این روش افزایش ۳ میلی آمپری درجریان متوسط تغذیه را به دنبال خواهد داشت.

۵-۱۳ راه حل ارا ئه شده برای حذف خطای ناشی از عدم تطابق

در یک تقویت کننده دیفرانسیل با بار مقاومتی افست ورودی از رابطه زیر محاسبه می شود[100] از میان پارامترهای مختلف این رابطه ، W/L می تواند با استفاده از یک ترانزیستور قابل تنظیم مطابق شکل(۵ - ۲۴)، تنظیم شود.[101].

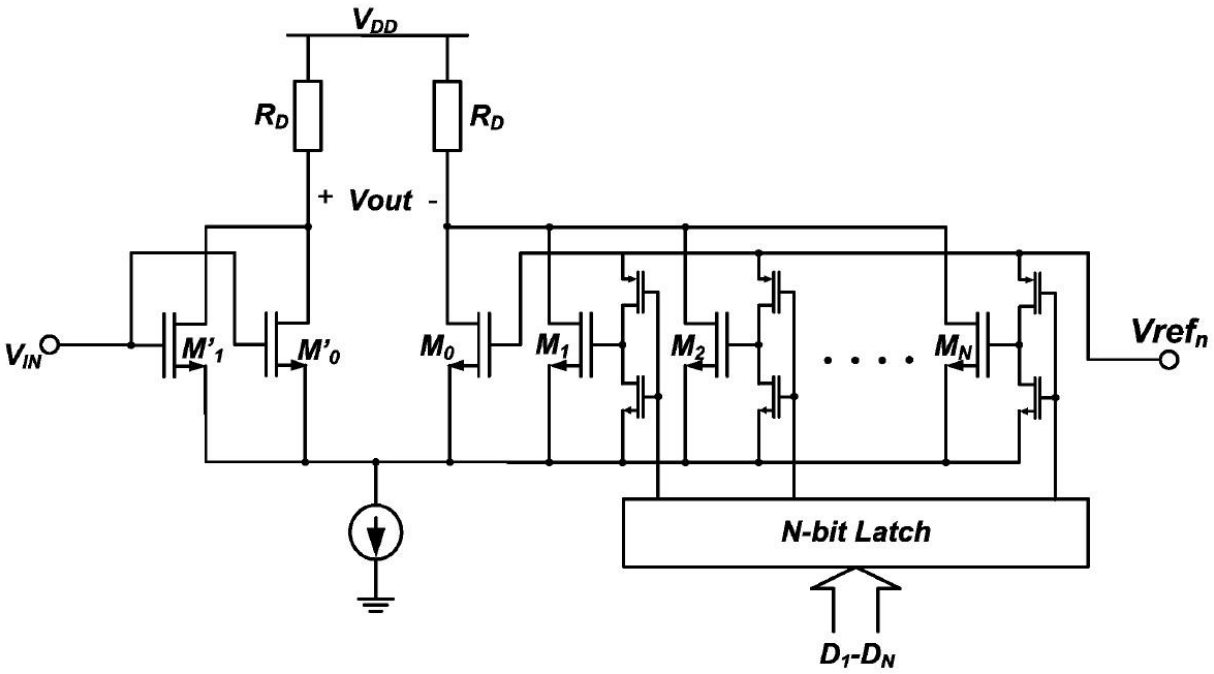
یک ترانزیستور قابل تنظیم از تعدادی ترانزیستور موازی با اندازه های متفاوت تشکیل شده است که هر یک با استفاده از دو سوئیچ می تواند به مدار وارد شود و در مجموع نقش یک ترانزیستور با W/L قابل تنظیم را بازی می کند.



شکل ۵ -۲٤ N-bit Trimmable MOSFET

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

اگر یکی یا هر دو ترانزیستور پیش تقویت کننده با ترانزیستور قابل تنظیم جایگزین شوند این مجموعه به عنوان یک مبدل دیجیتال به آنالوگ عمل می کند که یک ورودی دیجیتال N بیتی را به یک افست ورودی تبدیل می کند. شکل(۵ -۲۵).



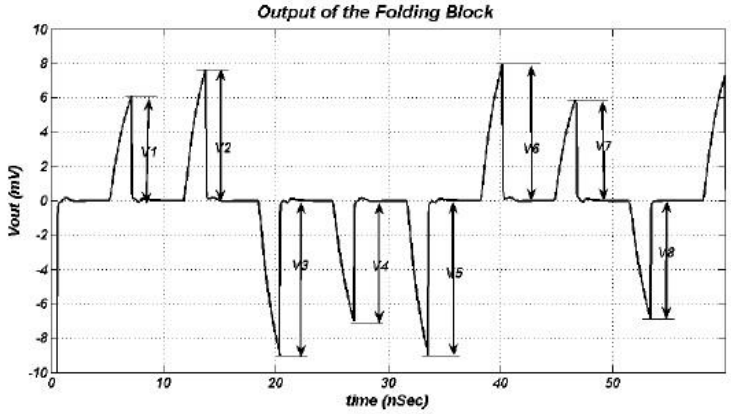
شکل ۵ - ۲۵ مبدل دیجیتال به افست

۵-۱۴ شبیه سازی های دینامیک مداری

شبیه سازی های انجام گرفته برای بررسی رفتار دینامیک مبدل در سه سطح زیر انجام گرفت.

۱-شبیه سازی پاسخ زمانی پیش پردازشگر آنالوگ به پالس های با دامنه تمام مقیاس مشابه شکل(۵-۹)، .چنانچه خروجی مدار آنالوگ در انتهای پریود تبدیل در جهت صحیح به اندازه کافی از صفر فاصله گرفته باشد، مقایسه به احتمال قریب به یقین با نتیجه صحیح انجام می شود لازم به تذکر است. که عملکرد مقایسه گر از جهت افست استاتیک و دینامیک و مسائلی نظیر فراپایداری مورد بررسی قرار گرفته است .این شبیه سازی در گوشه های مختلف پروسه انجام گرفت که نتیجه آن در جدول(۵-۳)، بصورت خلاصه آورده شده است .مقادیر V1 تا V8 با توجه به شکل(۵ -۲۶)، تعریف شده اند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل ۵ - ۲۶ خروجی بلوک فولدینگ به ورودی مشابه شکل ۵ – ۹

جدول ۵ - ۳ نتایج شبیه سازی زمانی

Test Conditions / Output Voltage (mV)	tt VDD=1.5V $t=25^0C$	ss VDD=1.4V $t=0^0C$	tt VDD=1.6V $t=100^0C$
V_1	4.84	4.19	5.52
V_2	9.1	9.35	6.13
V_3	-10.6	-11.6	-5.03
V_4	-5.4	-5.46	-4.44
V_5	-10.6	-11.6	-5
V_6	9.88	10.2	6.4
V_7	5.03	4.27	5.76
V_8	-5.02	-5.1	4.21

مشخصات نهایی و مقایسه طراحی انجام شده در اینجا و مقایسه با چند کار مشابه در جدول های(۵-۴ ، ۵-۵ ، ۶-۵) آمده است .

جدول ۵-٤: خلاصه کارایی مبدل طراحی شده

تکنولوژی CMOS	**0.18um**
تغذیه	**1.5 v**
محدوده ورودی	**1 v (p-p)**

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

8 تا 10 بیت	قدرت تفکیک
50 mwحداکثر	توان مصرفی
100 MS/sec	نرخ نموته برداری
0.4 LSB	DNL
0.5 LSB	INL
42 db@50 MHZg38 db@100 MHZ	SNDR

جدول ۵ - ۵ مشخصات مبدل های ساخته شده در مقایسه با مبدل های فولدینگ گزارش شده

مرجع	انرژی بر حسب کنوانسیون	SNDR (dB)	ENOB	BW (MHz)	INL/DNL (LSB)	ولتاژ بهره وری	مساحت (mm2)	قدرت (مگاوات)	ورودی لبه دار (pd)	ورودی محدوده (V)	ولتاژ تغذیه (V)	فناوری (um)	نرخ نمونه بردار (MH)	بیت
-	3.65	42	6.68	40	0.6/0.5	80	1	30	7	0.96	1.2	0.18	80	8
-	3.69	42	6.68	50	0.55/0.4	80	1	40	7	1.2	1.5	0.18	100	8
[65]	10.0	46.5	7.47	700	1/0.5	?	12.2	3500	?	?	3.3	0.32	2000	8
[103]	3.16	4.54	7.26	100	0.3/0.15	44	3.6	774	1.8	0.8	1.8	0.18	1600	8
[63]	1.91	4.69	7.50	200	0.7/0.5	?	0.5	207	?	?	1.8	0.18	400	8
[91]	1.84	4.69	7.50	200	08/04	111	0.2	200	0.5	2	1.8	0.18	600	8
[90]	10.33	3.71	5.87	100	1.4/5.9	60	10.2	120	?	2	3.3	0.35	400	8
[60]	3.05	55	8.84	125	?	33	0.43	140	?	0.4	1.2	0.35	100	10
[53]	15.5	42.3	6.73	3	1.3/0.04	20	1.68	165	?	1	5	0.12	100	8
[102]	56.0	48	7.89	10	0.3/0.2	30	5.0	115	?	1	3.3	0.5	10	8
[89]	10.5	40.2	6.39	62.5	1.5/0.7	60	0.8	110	?	2	3.3	0.35	125	8

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

6	300	0.5	1.2	2.3	1.4	200	0.6	71	1.2/0.9	100	5.30	33.6	12.7	[31]
10	50	0.6	3.2	2	4.5	170	1.2	40	1.1/0.6	32	8.70	54	8.18	[30]
8	125	0.5	5	?	5	225	4	?	0.1/8	1	7.12	44.	13	[55]
6	175	0.7	1.3	1.2	4	160	12	36	1/0.8	84	3.99	25.8	57.7	[15]
8	80	0.8	5	2	4.8	110	0.7	40	0.5/0.2	8	5.69	36	30.5	[29]

جدول ۵-٦: مقایسه طرح با نمونه های مشابه

تکنولوژی	قدرت تفکیک(بیت)	نرخ نمونه برداری (MSPS)	پهنای باند (MHz)	توان (mW)	سطح اشغالی ^{2}(mm)	
0.18 µm MOS	8	100	50	40	1	-
0.18µmCMOS	8	80	40	30	1	-
0.5µm CMOS	6	400	100	200 V	0.6	[31]
0.7µm CMOS	6	175	84	160 V	1.2	[15]
0.8µm CMOS	8	80	8	110 V	0.7	[33]
1µm CMOS	8	125	1	225 V	4	[92]
0.5µm CMOS	8	100	3	165 V	1.68	[24]
0.5µm CMOS	8	80	8	110 V	0.7	[37]
0.18µmCMOS	8	30	4	18 V	0.96	[22]
0.35µmCMOS	8	10	10	115 V	5.0	[102]
0.35µm MOS	8	1600	100	774 V	3.6	[35]

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل ششم:
خلاصه و پیشنهادات

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

٦-١ جمع بندی

هدف از این پژوهش، ارائه روش ها و راهکارهایی به منظور بهبود عملکرد مبدل آنالوگ به دیجیتال فولدینگ در جهت افزایش محدوده ورودی، کاهش توان مصرفی، بالا بردن سرعت و کاهش ولتاژ تغذیه بوده است.

٦-٢ بصورت خلاصه روشهای ابداعی که در قسمتهای مختلف ارائه شد هاند، عبارتست از

١- روش جدیدی برای افزایش دامنه ورودی با استفاده همزمان از زوجهای تفاضلی

٢-راهکارهای برای تنظیم مشخصهٔ سلو لهای فولدینگ

٣-- نحوه القای اغتشاش و راههای کاهش آن

۴- راه حل ارا ئه شده برای حذف خطای ناشی از عدم تطابق

۵-بررسی تئوریک مبد لهای موازی) چند مسیره) و بدست آوردن پارامترهای بیان کنندهٔ حساسیت

ساختارهای مختلف به خطاها

۶-دو روش جدید برای بهبود عملکرد

۷- بررسی رفتار مقایسه گرهای دینامیک در حضور عدم تطابق خازنی، مدل کردن افست دینامیک این مقایسه گرها و ارائه دو ساختار برای مقایسه گر دینامیک با افست دینامیک پایین

٦-٣کارهای آینده

در ادامهٔ این پژوهش می توان در زمینه های مختلف طر حهای پژوهشی تعریف و اجرا نمود که از آن میان موارد زیر قابل ذکر است

1- پیاده سازی برخی ساختارهای پیشنهاد شده برای مبدل آنالوگ به دیجیتال موازی
2- تلفیق روش ارائه شده برای افزایش محدود به روش دیفرانسیل
3- پیاده سازی روش های پیشنهادی در مبدل فولدینگ دو طبقه
4- پیاده سازی الگوریتم های مختلف برای انجام کالیبراسیون مبدل فولدینگ

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

منابع و مآخذ

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

مراجع

[1] Jae Ki Yoo, B. E. , M. S. " A Background Calibration Technique and Self Testing Method for the Pipeline Analog to Digital Converter", Graduate School of the University of Texas 2004.

[2] I. Nissinen, A. Mantyniemi and J. Kostamovaara,"A CMOS time-todigital converter based on a ring oscillator for a laser radar," IEEE 29th European Solid-State Circuits Conference, pp. 469-472, 2003.

[3] M. Memarian, S. Toofan, "A High Resolution, Multi-Path Gated Ring Oscillator Based Vernier Time-to-Digital Converter," IEEE Semiconductor Conference Dresden (SCD), pp. 1-4, 2011

[4] S. Lee, B. Kim and K. Lee, "A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme," IEEE Journal of Solid-State Circuits, vol. 32, no. 2, pp. 289-291, 2009.

[5] J. Chen, H. Yumei and H. Zhiliang,"A multi-path gated ring oscillator based time-to-digital converter in 65 nm. CMOS technology," Journal of Semiconductors, vol. 34, no.3, pp. 1-5, 2013

[6] M. Z. Straayer and M. H. Perrott, "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," IEEE Journal of Solid-State Circuits, Vol. 44, no. 4, pp. 1089-1098, 2009.

[7] M. Choi, A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35-µm CMOS,"IEEE Journal of Solid-State Circuits, Vol.36, No.12, pp. 1847-1858, Dec. 2001

[8] P.C. Scholtens, M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18um CMOS using averaging termination," IEEE J Solid-State Circuits, vol. 37,pp. 1599-1609, Dec. 2002. 1599

[9] T. Wakimoto, Y. Akazawa, and Y. S. Konaka, "Si bipolar 2-GHz 6-bit flash A/D conversion LSI," IEEE Journal of Solid-State Circuits, vol. 23, pp. 1345-1350, Dec. 1988.

[10] M. Hotta, T. Shimizu, K. Maio, K. Nakazato, and S. Ueda, "A 12-mW 6-b video frequency A/D converter," IEEE Journal of Solid State Circuits, vol. SC-22, pp.939-943, Dec. 1987.

[11] B. Zojer, R. Petschacher, and W. A. Luschnig, "A 6-Bit/200-MHz full Nyquist A/D converter," IEEE Journal of Solid-State Circuits, vol. SC-20, pp. 780-786, June 1985.

[12] Yukawa, "An 8-bit high-speed CMOS A/D converter," IEEE Journal of Solid-State Circuits, vol. SC-20, pp 775-779, June 1985.

[13] F. Goodenough, "Interpolators put 10-bit 75MHz A/D converters on 8-bit digital process," Electronic Design, pp. 29-30, Dec. 1989.

[14] H. Kimura, A. Matsuzawa, T. Nakamura, and S. Sawada, "A 10-b 300-MHz interpolated-parallel A/D converter," in IEEE Symposium on VLSI Circuits, pp. 94- 95, June 1992.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[15] R. Roovers, M. Steyaert, “A 175 Ms/s, 6-b 160-mW 3.3-V CMOS A/D converter,” IEEE Journal of Solid-State Circuits, Vol. 31, No. 7, pp. 938-944, July 1996.
[16] Jerry Lin, Baher Haroun, “ An Embedded 0.8V/480uW 6B/22 MHZ Flash ADC in 0.13-um Digital CMOS Process Using a Nonlinear Double Interpolation Technique” IEEE Journal of Solid-State Circuits, Vol. 37, No. 12, pp. 1610-1617,December 2002.
[17] A. Arbel and R. Kurz, “Fast ADC,” IEEE Transactions on Nuclear Science,vol.NS-22, pp. 446-451, Feb. 1975
[18] T. B. Cho and P. R. Gray, “A 10-b, 20-MS/s, 35mW pipeline A/D converter,” IEEE Journal of Solid-State Circuits, vol. 30, pp 166-172, March 1995.
[19] W. T. Colleran and A. A. Abidi, “A 10-b, 75 Ms/s two stage pipelined bipolar A/D converter,” IEEE Journal of Solid-State Circuits, vol. SC-28, pp. 1187-1199, Dec. 1994.
[20] K. Sone, N. Nakada, and Y. Nishida, “A 10 b 100 MS/S pipelined sub-ranging BiCMOS ADC,” in IEEE International Solid-State Circuits Conference, pp. 66- 67, Feb. 1993
[21]T. Matsuura, M. Hotta, K. Usui, E. Imaizumi, and S. Ueda, “A 95mW, 10-b 15 MHz low-power CMOS ADC using analog double-sampled pipelining scheme,” inIEEE Symposium on VLSI Circuits, pp. 98-99, 1992
[22] J. Doernberg, P. R. Gray, and D. Hodges, “A 10-bit 5-MS/s CMOS two-step flash ADC,” IEEE Journal of Solid-State Circuits, vol.24, pp. 241-249, April 1989
[23] J. R. Fernandes, S. R. Lewis, A. M. Mallinson, and G. A. Miller, “A 14-bit 10-µs subranging A/D converter with S/H,” IEEE Journal of Solid-State Circuits, vol. 23, pp. 1309-1315, Dec.1988
[24] T. Shimizu, M. Hotta, K. Maio, and S. Ueda, “A 10-bit 20-MHz two-step parallel A/D converter with internal S/H,” IEEE Journal of Solid-State Circuits, vol.24, pp.13-20, Feb. 1989
[25] B. S. Song, S. H. Lee, and M. F. Tompsett, “A 10-b 15-MHz CMOS recycling two-step A/D converter,” IEEE Journal of Solid-State Circuits, vol. 25, pp. 1328-1338, Dec. 1990
[26] S. Ito, S. Nishimura, H. Kobayashi, "Successive Approximation Time-to-Digital Converter with Vernier-level Resolution,”IEEE IMSTW, Spain. 2016.

[27]Alpman, Erkan , A 7-BIT 2.5GS/sec Time-Interleaved C-2C SAR ADCFor 60GHz Multi-Bandd OFDM-BASED Receivers. August 2009.

[28]Jianhua Gan, B.S., M.S., Sc.D. “Non-Binary Capacitor Array Calibration for a High Performance Successive Approximation Analog-to-Digital Converter”dissertation in the University of Texas at Austin 2003.
[29] B. Nauta and A. G. W. Venes, “A 70- MS/ s 100- mW 8- b CMOS folding and interpolating A/ D converter,” IEEE J. Solid- State Circuits, vol. 30, pp. 1302- 1308, Dec. 1995.
[30] K. Bult and A. Buchwald, “An embedded 240- mW 10- b 50- MS/ s CMOS ADC in 1 mm2” IEEE J. Solid- State Circuits, vol. 32, pp. 1887- 1895, Dec. 1997
[31] M. Flynn and B. Sheahan, “A 400- Msample/ s, 6b CMOS folding andinterpolating ADC” IEEE J. Solid- State Circuits, pp. 1932- 1938, Dec. 1998.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[32] Tank,D.W., and Hopfield,J.J.:"Simple neural optimization networks: An A/D converter, signal Decision circuit and a linear programming circuit" IEEE Trans., May 1986, CAS-36

[33] Chigusa, Y., and Tanaka, M.:"A neural-like feedforward ADC" Proc. IEEE Int. Symp. On circuits and Systems, May 1990.

[34] M. Choi, A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35-µm CMOS,"IEEE Journal of Solid-State Circuits, Vol.36, No.12, pp. 1847-1858, Dec. 2001.

[35]Y. Wang, B. Razavi, "An 8-bit 150MHz CMOS A/D converter," IEEE Journal of Solid-State ircuits, Vol. 35, pp. 308-317, Mar. 2000.

[36] R.Thirugnanam, D. S.Ha, S. S.Choi "Design of a 4–bit 1.4 GSample/s Low Power Folding ADC for DS–CDMA UWB " 2005 IEEE International Conference on Ultra–Wideband ICU. – 2005. – P. 536 – 541.

[37] M. Choe, B. Song, K. Bacrania, "An 8-b 100-Msample/s CMOS pipelined folding ADC," IEEE Journal of Solid-State Circuits, Vol.36, pp.184-194, Feb.2001.

[38] J. Chung, H. Yu, S. Oh, K. Yoon, "A 3.3V 10-bit current-mode folding and interpolation CMOS ADC using an arithmetic functionality," 43rd IEEE Midwest Symposium on Circuits and Systems, Lansing MI, Aug. 2000.

[39] B. S. Song, P. Rakers, S. Gillig, "A 1-V 6-b 50-MS/s current-interpolating CMOS ADC," IEEE Journal of Solid-State Circuits, Vol. 35, pp.647-651, Apr. 2000.

[40] X. Jiang, Y. Wang, A. Willson, "A 200MHz 6-bit folding and interpolating ADC in 0.5µm CMOS," IEEE International Symposium on Circuits and Systems, vol. 1, pp.5-8, June 1998.

[41] R. J. Plassche and J. Van Valburg, "An 8-bit 650MHz folding ADC," IEEE Journal of Solid-State Circuits, Vol. 27, pp. 1662-1666, Dec. 1992.

[42] W. T. Colleran, "A 10-b, 100MS/s A/D converter using folding, interpolation, and analog encoding," Ph.D Dissertation, University of California Los Angeles, Los Angeles, CA, Dec. 1993.152

[43] M.Azin, H.Movahedian, M. S.Bakhtiar "An 8–bit 160 MS/s Folding–Interpolating ADC with Optimized Active Averaging / Interpolating Network " IEEE International Symposium on Circuits and Systems ISCAS. – 2005. – Vol. 6. – P. 6150 – 6153.

[44] F.Vessal, C. A. T.Salama "An 8–Bit 2–Gsample/s Folding– Interpolating Analog–to–Digital Converter in SiGe Technology " IEEE Journal of Solid – State Circuits, 2004. – Vol. 39, No. 1. – P. 238 – 241.

[45] Y.charlote,"AHigh-Speed Cascaded Folding And Interpolating A/D Converter".submitted to department of electrical engineering and computer science in partial fulfillment of requirements for the degree of master of engineering and computer science at the Massachusetts Institute Of Technology , February 2003

[46] H. R.Ahmadi, O.Shoaei, M. Y.Azizi "An 8 Bit, 150 MS/s Folding and Interpolating ADC In 0.25µm CMOS with Resistive Averaging " International Symposium on Signals, Circuits and Systems SCS. – 2003.– Vol. 2. – P. 373–376.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[47] Viswanathan, “A dual-mode 700MSPS/6bit 200MSPS/7bit A/D converter in a 0.25µm digital CMOS process,” IEEE Journal of Solid-State Circuits, Vol. 35, pp.1760-1768, Dec. 2000.
[48] Fabio Leccese “A simplified 3 –bits discrete pure linear analog preprocessing folding ADC architecture ” 13th Workshop on ADC Modelling and Testing Sep. 22-24, 2008,Florence, Italy
[49] R. J. Plassche, and R. J. Grift, “A high-speed 7-b A/D converter,” IEEE Journal of Solid-State Circuits, Vol. SC-14, pp. 938-943, Dec. 1979.
[50] S. Gueorguiev, E. Klumperink, B., “1 Volt Current Mode Folding Analog to Digital Conversion Architecture” Proceedings of the 12th ProRISC workshop (program for Research on Integrated Systems and Circuits)
[51]بابایی، مسعود"طراحی یک مبدل آنالوگ به دیجیتال 12 بیتی ولتاژ پایین و سرعت بالا به روش فولدینگ "پایان نامه کارشناسی ارشد الکترونیک آبان 1385 صفحه
[52] R. E. J. Van de Grift, I. W. J. M. Rutten and M. van der Veen, “An 8- bit video ADC incorporating folding and interpolation techniques,” IEEE J. Solid- State Circuits, vol. SC-22, pp. 944- 953, Dec. 1987
[53] M. J. Choe, B. S. Song, and K. Bacrania, “An 8- b 100- MSample/ s CMOS Pipelined Folding ADC” IEEE J. Solid- State Circuits, Vol. 36, No. 2, Feb 2001
[54] R. J. Plassche, and P. Baltus, “An 8-b 100MHz full Nyquist A/D converter,” IEEE Journal of Solid-State Circuits, Vol. 23, pp. 1334-1344, Dec. 1988
[55] M. P. Flynn, and D. J. Allstot, “CMOS Folding ADCs With Current-Mode Interpolation” IEEE International Solid-State Circuits Conference, 1995. Digest of Technical Papers. 42nd ISSCC, pp. 274 -275, Feb. 1995.
[56] M. Pelgrom, A. Duinmaijer, and A. Welbers, “Matching properties of MO transistors,” IEEE Journal of Solid-State Circuits, vol. 24, pp. 1433-1439, Oct.1989
[57] J.A. Croon, M. Rosmeulen, S. Decotere, W. Sansen and H. E. Maes, “A simple characterization method for MOS transistor matching in deep submicron technologies” Proc. IEEE Int. Conference on Microelectronic Test Structures, Vol 14, pp 213-218 March 2001
[58] S. Limotyrakis, K.Y. Nam, and B. A. Wooley, “Analysis and Simulation of Distortion in Folding and Interpolating A/ D Converters” *IEEE Trans. Circuits and Systems.* Vol. 49, No. 3, MARCH 2002
[59] K. Bult, “Analog Design in Deep Sub- Micron CMOS” 26th European Solid State Circuits Conference, Sep. 2000.
[60] A.S. Blum, B.H. Engl, H.P. Eichfeld, R. Hagelaver, and A.A. Abidi, “A 1.2 V 10- b 100-M Samlpes/s A/D Converter in 0.12 um CMOS,” IEEE Sym. On VLSI Circuits Dig. Tech. Papers, pp. 326-327, 2002
[61] W. T. Colleran and A. A. Abidi, “A 10-b, 75 Ms/s two stage pipelined bipolar A/D converter,” IEEE Journal of Solid-State Circuits, vol. SC-28, pp. 1187-1199, Dec. 1994.
[62] A. Pierazzi, and A. Boni, “ Design Issues For A High Frequency, 0.35um, 3.3v CMOS Folding A/D converter” proceedings of *IEE ADDA'99 Conference*, pp. 115-118, Glasgow, UK, July 1999

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[63] Zheng- Yu Wang, Hui Pan, Chung-Ming Chang, Hai-Rong Yu and M. Frank Chang, "A 600 MSPS 8-bit Folding ADC in 0.18um CMOS" Proc. Symposium On VLSI Circuits Digest of Technical Papers pp 424427 2004
[64] H. Movahedian, M. Azin, and M. Sharif Bakhtiar, "A Low Voltage Low Power 8-bit Folding/Interpolating ADC with rail-to-rail Input Range" Int. Symp. On Circuits and Systems, pp. 77-80, May 2004.
[65] F. Vessal, and C. Andre T. Salama, "An 8-Bit 2-Gsample/s Folding-Interpolating Analog-to-Digital Converter in SiGe Technology" *IEEE J. Solid- State Circuit*s, vol. 39, pp. 234- 241, Jan. 2004
[66] Rajesh Thirugnanam, Dong Sam Ha and Sang S. Choi, "Design of a 4-bit 1.4 GSamples/s Low Power Folding ADC for DS-CDMA UWB Transceivers", 2005 IEEE International Conference on Ultra-Wideband pp 536 – 541 Sept. 2005
[67] S. Limotyrakis, K. Nam and B. Wooley, "Analysis and simulation of distortion in folding and interpolating A/D converters," IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 49, pp. 161-169, Mar.2002.
[68] F. Maloberti, P. Estrada, P.Malcovati, and A. Valero "Behavioral modeling and simulations of data converters" Proc. IEEE Int. Symp. Circuits Syst., vol. 4, pp.IV-700 - IV-703, 2003
[69] Ta-Hsun Yeh Lin, J.C.H. Shyh-Chyi Wong Huang, H. Sun, J.Y.C. "Mismatch characterization of 1.8 V and 3.3 V devices in 0.18 μm mixed signal CMOS technology", Proceedings of the 2001 International Conference on Microelectronic Test Structures, pp 77-82 2001
[70] Taiwan Semiconductor Manufacturing Company, Doc. No. T-018-MM-RP-004, "TSMC 0.18UM Mixed Signal 1P6M+ Salicide 1.8V/3.3V P+ Poly Resistor Characterization Report" August 2001

[71] Lovett, S.J. Welten, M. Mathewson, A. Mason, B. " Optimizing MOS Transistor Mismatch" IEEE J. Solid- State Circuits, vol. 33, pp. 147- 150, Jan. 1998.

[72] K. Rush and P. Byrne, "A 4GHz 8b data acquisition system," in IEEE International Solid State Circuits Conference, pp.176-177, Feb. 1991.

[73] Z. Wang, H. Pan, C. Chang, H. Yu, and F. Chang, "A 600 MSPS 8-bit ADC in 0.18um CMOS" Proc. Symposium on VLSI Circuits Digest of Technical Papers, pp.424-427, 2004

[74] Mohamed Zin, M.A. Kobayashi, H. Kobayashi, K. Ichimura, J.-I. Hao SanOnaya, Y. Kimura, Y. Yuminaka, Y. Sasaki, Y. Tanaka, K. Abe, F "A high-speedCMOS track/hold circuit" Proceedings of The 6th IEEE International Conferenceon Electronics, Circuits and Systems, Vol 3, pp 1709-1712 1999.

[75] Centurelli, F. Monsurro, P. and Trifiletti, A. "A model for the distortion due to switch on-resistance in sample-and-hold circuits" *Proc. IEEE Int. Symp. Circuits Syst.*, pp.4787-4790, 2006.

[76] M. Waltari, K. Halonen "Circuit Techniques for Low-Voltage and High-Speed A/D onverters" Springer, 2002.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[77] F. Maloberti, F. Francesconi, P. Malcovati, O. J. A. P. Nys, “Design Considerations on Low-Voltage Low-Power Data Converters,” IEEE Trans.Circuits and Systems-I, vol. 42, pp.653-663, Nov. 1995.

[78] A. M. Abo, P. R. Gray, “A 1.5V, 10-bit, 14MS/s CMOS Pipeline Analog-to-Digital Converter,” 1998 Symposium on VLSI Circuits Digest of Technical Papers, pp.166-169.

[79] D. G. Haigh, B. Singh, “A Switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals” in Proc. IEEE International Symposium on Circuits and Systems, pp.586-589, 1983.

[80] T.-S. Lee and C.-C. Lu, “Design techniques for low-voltage high-speed pseudodifferential

CMOS trackand-hold circuit with low hold pedestal” ELECTRONICS LETTERS, Vol. 40 No. 9, April 2004.

[81] C. G. Conroy, D.W. Cline, P.R. Gray, “A high-speed parallel pipelined ADC technique in CMOS,” IEEE Symposium on VLSI Circuits, pp. 96-97, 1992.

[82] P. J. Lim, B. A. Wooley, “A High-Speed Sample and Hold Technique Using A Miller Hold Capacitance” IEEE J. Solid State Circuits, vol 26, pp.643- 651,Apr.1991

[83] M. Nayebi, B.A. Wooley, “A0-bit Video BICMOS Track-and-Hold Amplifier” IEEE J. Solid State Circuits, vol24, pp.1507-1516, Dec.1989

[84] S. Kim, M. Song, “An 8-b 200MSPS CMOS A/D converter for analog interface module of TFT-LCD driver,” IEEE International Symposium on Circuits and Systems, vol. 1, pp. 528-531, May 2001.

[85] W. C. Black, Jr., D. A. Hodges, “Time Interleaved Converter Arrays,” IEEE J. Solid State Circuits, vol SC-15, pp. 1022-1029, Dec. 1980

[86] Mohamed Dessoukey, Andreas Kaiser, “Very Low-Voltage Digital-Audio ((Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping” IEEE J. Solid State Circuits, vol 36, pp. 349-355, March 2001

[87] T. S. LEE and C. C. LU, “A 1.5V 50-MHz pseudo-differential sample-and-hold circuit with low hold pedestal," *IEEE Trans. Circuits and Sys.-I*, vol. 52, pp. 1752- 1757, Sep. 2005

[88] C.J.B. FAYOMI, G.W. ROBERTS and M. SAWAN, “Low-Voltage CMOS Analog Bootstrapped Switch for Sample-and-Hold Circuit,” *Proc. IEEE Int. Symp. Circuits and Sys.* pp. 2200-2203, May 2005.

[89] K.Yoon, J. Lee, D. Jeong, and W. Kim, “An 8-Bit 125Ms/s CMOS Folding ADC For Gigabit Ethernet LSI,” Symposium on VLSI Circuits, pp. 212 -213, June 2000.

[90] Seung-Chan Heo, Young-Chan Jang, Sang-Hune Park, Hong-June Park, "An 8-bit 200MS/s CMOS Folding/Interpolating Analog-to-Digital Converter” IEICE trans. Electronics, vol. E86-C No. 4, April 2003

[91] G. Geelen, and E. Paulus, “An 8b 600MS/s 200mW CMOS Folding A/D Converter Using an Amplifier Preset Technique,” Proc. IEEE International Solid- State Circuits Conference, pp. 2004.

[92]M. Flynn, D. Allstot, “CMOS folding ADC’s with current-mode interpolation,” IEEE Journal of Solid-State Circuits, Vol. 31, pp. 1248-1257, Sept. 1996.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[93] T. Cho and P. Gray, “A 10 b, 20 Msample/s, 35 mW pipeline A/D converter,” *IEEE J. Solid-State Circuits*, vol. 30, pp. 166–172, Mar. 1995
[94] L. Sumanen, M. Waltari, K. Halonen, “A mismatch insensitive CMOS dynamic comparator for pipeline A/Dconverters” Proc. ICECS, vol. 1, pp. 32 - 35, Dec. 2000
[95] B. M. Min, P. Kim, F. W. Bowman, D. M. Boisvert and Arlo J. Aude “A 69- mW 10-bit 80- MSample/ s Pipelined CMOS ADC” IEEE *J.* Solid- State Circuits,VOL. 38, NO. 12, DEC 2003
[96]Fayomi, C.J.B., Roberts, G.W., Sawan, M. (2000). Low Power/Low Voltage High Speed CMOS Differential Track and Latch Comparator With Rail-to-Rail Input.*2000* IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings, v. 5, p. 653-656.
[97] M. J. E. Lee, W. J. Dally, and P. Chiang,” Low-power area-efficient high speed I/O circuit techniques” IEEE J. Solid- State Circuits, vol. 35, No. 11, pp. *Nov.2000*
[98] Jan Craninckx, Geert Van der Plas, “A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS” Proc. IEEE International Solid-State Circuits Conference, pp. 2007.

[99] Jerry Twomey, “Noise Reduction and Floor Planning for Mixed Signal ASIC's Part 2: Floor Planning the IC for Noise Reduction” Electronic Design Magazine, Dec. 2000.

[100]Razavi Behzad. Design of Analog CMOS Integrated Circuits. McGraw-Hill, p. 468, 2001

[101]Tang A.T.K. and Toumazou C. Self-Calibration for High-Speed High-Resolution D/A Converters. Advanced A-D and D-A Conversion Techniques and their Applications, 6-8 Jul. 1994, Conference Publication No. 393, IEE 1994, pp. 142-147.

[102] M. H. Liu and Sh. I. Liu, “An 8- bit 10 MS/ s Folding and Interpolating ADC Usingthe Continuous- Time Auto- Zero Technique” *IEEE J. Solid-State Circuits*, Vol.36, No.1, Jan. 2001.

[103]Taft R., Menkus Chris A., Tursi Maria Rosaria, Hidri Ols and Pons Valerie. A 1.8-V 1.6-GSample/s 8-b Self-Calibrating Folding ADC With 7.26 ENOB at Nyquist Frequency. *IEEE J. Solid- State Circuit*s Dec. 2004; vol. 39, No.12: 2107-2115.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

Anstract

This project is based on designing a Low Power ،analog to digital converter Low Voltage in Time Domain Using Folding Method.This research provides a ethod that can be used to increase the precision of converting without using an analogue to digital converter and only by amplifying and changing the voltage level. Today, fast and low power consumption analogue to digital converter 1 is considered as one of the key elements of processing and telecommunication systems. The increasing use of electronic devices work with battery highlights the importance of power supply and power consumption. Folding converters 2 are parallel converters that can have the closest structure to flash converters 3 which have proven their efficiency in high speed and low latency in resolutions of 8 to 10 bites. The purpos of this study is to reach practical methods for reducing power and voltage of folding converters by maintaining and even improving other charactristics.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

Besat Higher Education Institute

BRANCH

FACULTY OF GRAJUATE STUDIES

DEPARTMENT OF ELECTRICAL ENGINEERING

THESIS

SUBJECT:

Designing a Low Power, Low Voltage Analog-to-Digital Converter in Time Domain Using Folding Method

THESIS Supervisor

Fahimeh Yazdanpanah

BY:

Hojat nezeriye

September 2018

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.