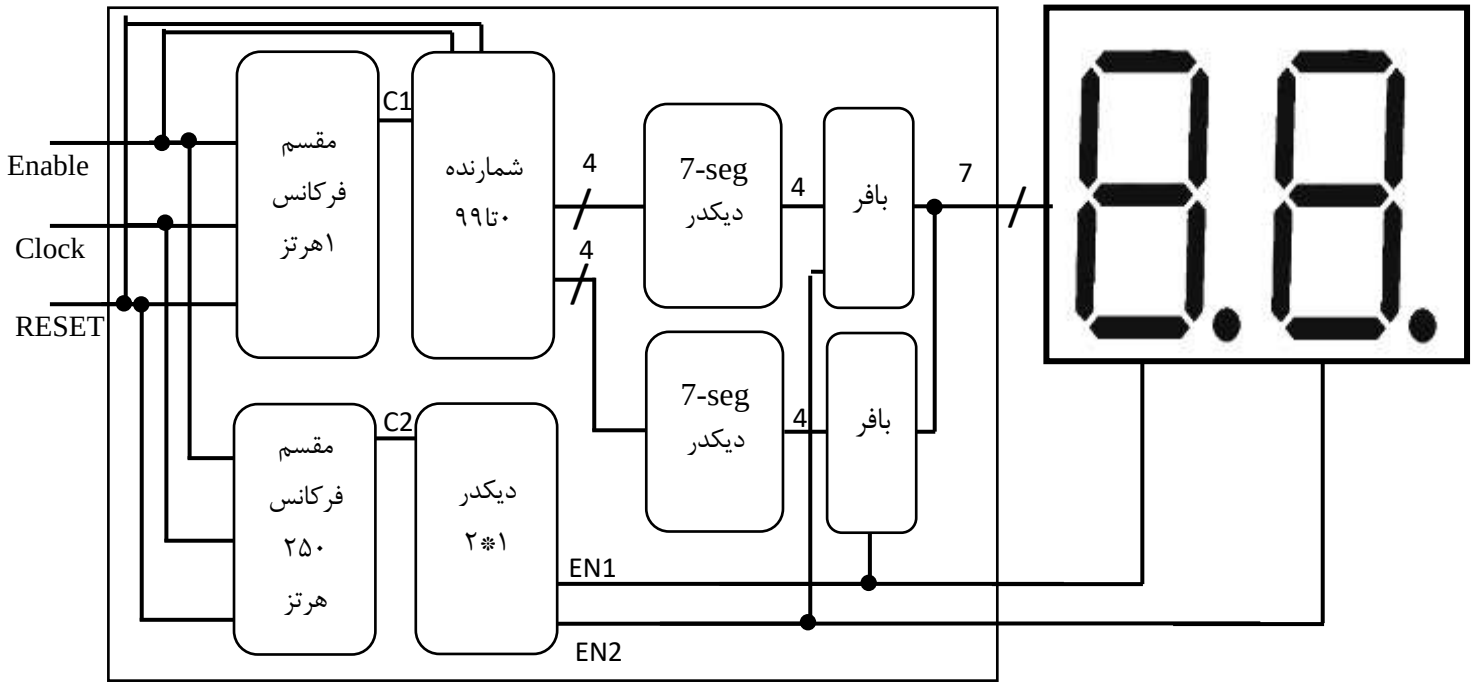
پروژه آزمایش دیجیتال ۱

شمارنده دو رقمی:

با استفاده از وریلاگ برنامه ای بنویسید که یک شمارنده دو رقمی را مانند شکل ۱ پیاده سازی نماید. این شمارنده دارای یک کلاک می باشد که می تواند حساس به لبه بالا رونده باشد، بدین ترتیب با هر بار تغییر سطح در صورتی که ورودی فعال ساز (Enable) یک باشد، یک عدد به عدد نمایش داده شده اضافه می‌گردد، این افزایش تا رسیدن به عدد ۹ ادامه دارد، بعد از مجددا صفر می گردد. با صفر شده پایه فعال ساز عدد نمایش داده شده ثابت می ماند. قبل از شمارنده یک مقسم فرکانس قرار می گیرد تا زمان یک ثانیه را بسازد. برای هر رقم یک دیکدر استفاده می گردد. خروجی دیکدرها توسط بافر به پورت خروجی منتقل می گردد.

برای نمایش دو عدد هم زمان بر روی سون سگمنت، لازم است تا از روش مالتی پلکسر زمانی استفاده شود و با استفاده از خطای چشم تصویر به صورت پیوسته دیده شود. بدین ترتیب هر کدام از سون سگمنت ها به همراه خروجی آن برای زمانی مشخص فعال می‌گردد، سپس عدد دیگر به این شیوه نمایش داده می شود. بدین ترتیب در هر لحظه فقط یکی از سون سگمت ها روشن است. اما چون این روشن و خاموش شدن ها سریع اتفاق می افتد، چشم ما پیوسته می بیند. و هر دو رقم به نظر روشن می رسند. این زمان توسط مقسم فرکانس مربوطه تولید می گردد. خروجی فعال ساز هم به سون گمنت و به فعال ساز دیتای آن متصل می گردد.

یک روش پیشنهادی برای طراحی مانند شکل ۱ می‌باشد که از تعدادی ماژول به نام‌های شمارنده و دیکدر 7-seg، مقسم فرکانس، دیکدر و بافر استفاده شده است. نهایتا این ماژول ها توسط ماژول اصلی (top module) فراخوانی می گردد. تعداد ورودی و خروجی‌های هر کدام از این ماژول ها در شکل مشاهده می گردد. بعد از طراحی و شبیه-سازی جهت بررسی صحت عملکرد آن، لازم است تا بر روی FPGA پیاده سازی گردد.



شکل ۱ شمارنده دو رقمی